



COPY OF PAPERS
ORIGINALLY FILED

4 / Priority
Doc.
E. Willis
3-27-02

PATENT
ATTORNEY DOCKET NO. 02008.071001; AD-0243PCTUS
PATENT APPLICATION NO. 09/980,891

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Masahiro ISHIDA et al. Art Unit: 2858
Serial No.: 09/980,891 Examiner:
Filed : December 3, 2001
Title : METHOD AND APPARATUS FOR DEFECT ANALYSIS OF
SEMICONDUCTOR INTEGRATED CIRCUIT

Assistant Commissioner for Patents
Washington, DC 20231

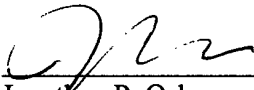
TRANSMITTAL OF PRIORITY DOCUMENT(S) UNDER 35 U.S.C. 119

Applicants hereby confirm their claim of priority under 35 U.S.C. 119 from Japanese
Patent Application No. 2000-101867 filed April 4, 2000. A certified copy of the application
from which priority is claimed is submitted herewith.

Please charge any fees due in this respect to Deposit Account No. 50-0591, referencing
02008.071001.

Respectfully submitted,

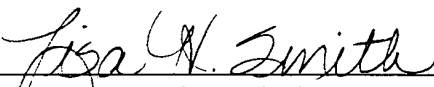
Date: 2/5/02


Jonathan P. Osha
Reg. No. 33,986

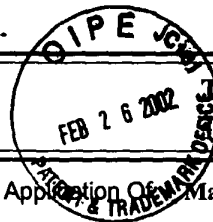
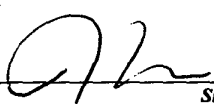
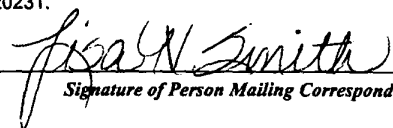
ROSENTHAL & OSHA L.L.P.
1221 McKinney, Suite 2800
Houston, TX 77010

Telephone: 713/228-8600
Facsimile: 713/228-8778

Date of Deposit: February 5, 2002
I hereby certify under 37 CFR 1.8(a) that this
correspondence is being deposited with the United States
Postal Service as **first class mail** with sufficient postage
on the date indicated above and is addressed to the
Assistant Commissioner for Patents, Washington, D.C.
20231.


Lisa H. Smith

RECEIVED
FEB - 5 2002
TC 200 MAIL ROOM

 TRANSMITTAL LETTER (General - Patent Pending)		COPY OF PAPERS ORIGINALLY FILED	2858
		Docket No. 02008.071091; AD-0243PCTU	
In Re Application Of Masahir ISHIDA et al.			
Serial No. 09/980,891	Filing Date December 3, 2001	Examiner	Group Art Unit 2858
Title: METHOD AND APPARATUS FOR DEFECT ANALYSIS OF SEMICONDUCTOR INTEGRATED CIRCUIT			
<p style="text-align: center;"><u>TO THE ASSISTANT COMMISSIONER FOR PATENTS:</u></p> <p>Transmitted herewith is:</p> <p style="padding-left: 40px;">Transmittal of Priority Document(s) Under 35 U.S.C. 119, 1 page Certified copy of Priority Document, 95 pages</p> <p>in the above identified application.</p> <p><input checked="" type="checkbox"/> No additional fee is required. <input type="checkbox"/> A check in the amount of _____ is attached. <input checked="" type="checkbox"/> The Assistant Commissioner is hereby authorized to charge and credit Deposit Account No. 50-0591 as described below. A duplicate copy of this sheet is enclosed.</p> <p style="padding-left: 40px;"><input type="checkbox"/> Charge the amount of _____ <input type="checkbox"/> Credit any overpayment. <input checked="" type="checkbox"/> Charge any additional fee required.</p> <div style="display: flex; justify-content: space-between; align-items: flex-end;"><div style="width: 45%;"> _____ <i>Signature</i> Jonathan P. Osha, Reg. No. 33,986 ROSENTHAL & OSHA L.L.P. 1221 McKinney Ave., Suite 2800 Houston, TX 77010 Tel: (713) 228-8600 Fax: (713) 228-8778</div><div style="width: 45%; text-align: right;">Dated: 2/5/02</div></div> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;"><p>I certify that this document and fee is being deposited on <u>Feb. 5, 2002</u> with the U.S. Postal Service first class mail under 37 C.F.R. 1.8 and is addressed to Assistant Commissioner for Patents, Washington, 20231.</p> _____ <i>Signature of Person Mailing Correspondence</i> Lisa H. Smith <i>Typed or Printed Name of Person Mailing Correspondence</i></div> <div style="display: flex; justify-content: space-between; margin-top: 10px;"><div>CC:</div><div>Copyright 1995 Legalsort</div><div>P16A/REV01</div></div>			



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 4月 4日

出 願 番 号

Application Number:

特願2000-101867

出 願 人

Applicant(s):

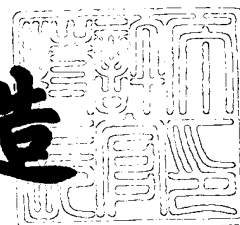
株式会社アドバンテスト

RECEIVED
MAR-5 2002
TC 2800 MAIL ROOM

2001年12月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3107618

【書類名】 特許願

【整理番号】 ADV00N7383

【提出日】 平成12年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G01R

【発明者】

 【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
 テスト内

 【氏名】 石田 雅裕

【発明者】

 【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
 テスト内

 【氏名】 山口 隆弘

【発明者】

 【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
 テスト内

 【氏名】 橋本 好弘

【特許出願人】

 【識別番号】 390005175

 【氏名又は名称】 株式会社アドバンテスト

【代理人】

 【識別番号】 100066153

 【弁理士】

 【氏名又は名称】 草野 卓

【選任した代理人】

 【識別番号】 100100642

 【弁理士】

 【氏名又は名称】 稲垣 稔

【手数料の表示】

【予納台帳番号】 002897

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718552

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の故障解析方法および故障解析装置

【特許請求の範囲】

【請求項 1】 半導体集積回路における故障箇所を推定する方法において、被試験半導体集積回路の入力端子に 2 つ以上のテストパターンからなるテストパターン系列を入力するステップと、

上記テストパターン系列を入力したときに発生する上記被試験半導体集積回路の過渡電源電流を測定し、上記過渡電源電流が異常を示すか否かを決定するステップと、

上記過渡電源電流が異常を示したテストパターン系列に対して故障検出可能な箇所のリスト（故障箇所リストと記す）を求めるステップと、

上記故障箇所リストから上記被試験半導体集積回路内部の故障箇所を推定するステップと、
を有することを特徴とする故障解析方法。

【請求項 2】 上記過渡電源電流が異常を示すか否かを決定するステップは、上記過渡電源電流のパルス幅が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することを特徴とする請求項 1 記載の故障解析方法。

【請求項 3】 上記過渡電源電流が異常を示すか否かを決定するステップは、上記過渡電源電流の瞬時値が所定の時間において所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することを特徴とする請求項 1 記載の故障解析方法。

【請求項 4】 上記過渡電源電流が異常を示すか否かを決定するステップは、上記過渡電源電流の時間積分値が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することを特徴とする請求項 1 記載の故障解析方法。

【請求項 5】 上記故障箇所を推定するステップは、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列が複数組発生しているとき、これら過渡電源電流が異常を示す各テストパターン系列に対する各故障箇所リストのすべてに共通に含まれる被試験半導体集積回路の故障箇所を推定することを特徴とする請求項 1 乃至 4 の何れかに記載の故障解析方法。

【請求項 6】 上記故障箇所を推定するステップは、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列が複数組発生しているとき、これらのうち過渡電源電流が最初に異常を示したテストパターン系列に対する故障箇所リスト（基準故障リストと記す）をもとに、以後に過渡電源電流が異常を示した 1 以上のテストパターン系列に対する故障箇所リスト以外の故障箇所（非故障箇所）を上記基準故障箇所リストから順次削除していくことにより、上記被試験半導体集積回路の故障箇所を推定することを特徴とする請求項 1 乃至 4 の何れかに記載の故障解析方法。

【請求項 7】 上記故障解析方法は、上記過渡電源電流が異常を示さなかったテストパターン系列に対する故障箇所リストを求めるステップを有し、

上記故障箇所を推定するステップは、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列に対する故障箇所リスト（故障箇所候補リストと記す）をもとに、上記被試験半導体集積回路の過渡電源電流が正常であるテストパターン系列に対する故障箇所リスト（正常箇所リストと記す）を上記故障箇所候補リストから順次削除していくことにより、上記被試験半導体集積回路の故障箇所を推定することを特徴とする請求項 1 乃至 4 の何れかに記載の故障解析方法。

【請求項 8】 上記故障箇所リストを求めるステップは、テストパターン系列に対して故障シミュレーションを行なって故障箇所リストを求めることを特徴とする請求項 1 乃至 7 の何れかに記載の故障解析方法。

【請求項 9】 上記故障箇所リストは、基本論理回路単位での故障箇所のリストであることを特徴とする請求項 1 乃至 8 の何れかに記載の故障解析方法。

【請求項 10】 上記故障箇所リストは信号線単位での故障箇所のリストであることを特徴とする請求項 1 乃至 8 の何れかに記載の故障解析方法。

【請求項 11】 上記故障箇所リストは信号伝搬パス単位での故障箇所のリストであることを特徴とする請求項 1 乃至 8 の何れかに記載の故障解析方法。

【請求項 12】 半導体集積回路における故障箇所を推定する装置であって、被試験半導体集積回路の入力端子に 2 つ以上のテストパターンからなるテストパターン系列を入力するテストパターン系列入力手段と、

ることにより被試験半導体集積回路の故障箇所を推定する共通故障箇所推定手段と、によって構成されることを特徴とする請求項 1 2 乃至 1 5 の何れかに記載の故障解析装置。

【請求項 1 7】 上記故障箇所を推定する故障箇所推定手段は、上記異常パターン系列記憶手段に格納された、最初に異常を示したテストパターン系列に対して求めた基準故障箇所リストを格納する基準故障箇所リスト記憶手段と、以後の過渡電源電流が異常を示す 1 以上のテストパターン系列に対する故障箇所リスト以外の故障箇所（非故障箇所）を上記基準故障箇所リストから順次削除していく非故障箇所削除手段と、によって構成されることを特徴とする請求項 1 2 乃至 1 5 の何れかに記載の故障解析装置。

【請求項 1 8】 上記故障解析装置は、上記被試験半導体集積回路の過渡電源電流が異常を示さないテストパターン系列を格納しておく正常パターン系列記憶手段を有し、上記故障箇所を推定する故障箇所推定手段は上記被試験半導体集積回路の過渡電源電流が異常を示す複数のテストパターン系列に対して求めた複数の故障箇所リストを格納する異常故障箇所リスト記憶手段と、上記正常パターン系列記憶手段に格納されたテストパターン系列に対して上記故障箇所リスト生成手段により求めた故障箇所リストを格納する正常故障箇所リスト記憶手段と、上記異常故障箇所リスト記憶手段に格納されたすべての故障箇所リストに共通に含まれる故障箇所を推定することにより故障箇所候補を推定する共通故障箇所推定手段と、上記共通故障箇所推定手段によって生成された故障箇所候補リストを格納する故障箇所候補リスト記憶手段と、上記正常故障箇所リスト記憶手段に格納された複数の故障箇所リストそれぞれに含まれる故障箇所（正常箇所）を上記故障箇所候補リストから順次削除していく正常箇所削除手段と、によって構成されることを特徴とする請求項 1 2 乃至 1 5 の何れかに記載の故障解析装置。

【請求項 1 9】 上記故障箇所リスト生成手段は入力されたテストパターン系列に対して故障シミュレーションを行なって故障箇所リストを生成する手段であることを特徴とする請求項 1 2 乃至 1 9 の何れかに記載の故障解析装置。

【請求項 2 0】 上記故障箇所推定手段は、基本論理回路単位で故障箇所を推定する手段であることを特徴とする請求項 1 2 乃至 1 9 の何れかに記載の故障

解析装置。

【請求項 2 1】 上記故障箇所推定手段は、信号線単位で故障箇所を推定する手段であることを特徴とする請求項 1 2 乃至 1 9 の何れかに記載の故障解析装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明はとくに、遅延故障を生じる断線故障をもつ半導体集積回路の故障箇所（故障位置）を推定する故障解析方法とその解析装置に関する。

【0 0 0 2】

【従来の技術】

従来、半導体集積回路の故障解析は、故障の発生した半導体集積回路の故障箇所を推定するために、電子ビームテストやエミッション顕微鏡、液晶などをもちいておこなわれていた。電子ビームテストをもちいる集積回路の故障解析手法は、被試験半導体集積回路に入力試験パターンをあたえ、電子ビームテストで配線の電位コントラスト像を観測して正常回路と故障回路の電位差を得ることによって、論理故障などの故障箇所を推定する方法であり、例えば、特開平 5 - 4 5 4 2 3 号公報に記載されている。エミッション顕微鏡をもちいる集積回路の故障解析手法は、光子レベルの非常に微弱な光を捕らえることができる光検出器（エミッション顕微鏡）をもちいて電流リーク箇所が発生する微細な光を検出し、発光像を被試験半導体集積回路の配線パターン像と重ね合わせるによりリーク箇所を推定する方法であり、例えば、特開平 1 0 - 4 1 2 8 号公報に記載されている。液晶をもちいる集積回路の故障解析手法は、被試験半導体集積回路に入力試験パターンをあたえ、チップ表面に塗布した液晶の光学的変化を調べることによって、微弱な発熱を伴う電流リークなどの故障箇所を推定する方法であり、例えば、特開平 5 - 7 4 9 1 1 号公報に記載されている。

【0 0 0 3】

一方、非破壊で半導体集積回路の故障箇所を推定する故障解析手法として、故障シミュレーションによる故障解析手法がある。故障シミュレーションとは、集

積回路内部に故障を仮定し、所定の入力試験パターンに対する出力端子からの出力値をシミュレーションするものであり、その結果は通常故障辞書 (fault dictionary) と呼ばれる各仮定故障と入出力論理値の対応表としてまとめられる。この故障シミュレーションによる故障解析手法は、被試験回路の入力端子に所定の入力試験パターンをあたえ、出力端子から出力する信号が期待値と異なっていたとき、その出力値と期待値の相違を利用して、故障シミュレーションによって故障箇所を推定する方法であり、故障箇所の推定は、集積回路の入出力論理値から故障辞書をもちいて対応する故障箇所を得ることにより行われる。

【 0 0 0 4 】

論理不良を生じない故障、例えば短絡故障や電流リーク故障などに対応するために、IDDQ (静止電源電流、quiescent power supply current) 試験法と故障シミュレーションを併用し、半導体集積回路のIDDQ異常情報と入力試験パターンに基づいて故障箇所を推定することを可能とする故障解析手法が提案されている。IDDQ試験法を併用した故障解析法については、例えば特開平8-201486号公報に記載されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、電子ビームテスタやエミッション顕微鏡、液晶などをもちいる故障解析法はいずれも半導体集積回路を開封しチップ表面を露出する必要があるため、故障解析にコストがかかる。また、集積回路の高集積化や多層配線化により、故障箇所を推定することが困難になってきている。

また、入出力信号応答と故障シミュレーションをもちいる故障解析手法は、故障シミュレーションで扱われる故障モデルが1つの信号線がある状態 (0 又は 1) は固定される故障、いわゆる単一の縮退故障 (Stuck-At-0 または Stuck-At-1) のみであり、複数の信号線が 0 又は 1 に固定される多重縮退故障や遅延故障、信号線間の短絡故障等を感度よくシミュレーションすることができない。また、この故障解析手法は、集積回路の出力値と期待値との不一致が検出されてはじめて故障箇所の推定が可能となるため、論理故障 (縮退故障) 以外の故障、例えば内部に故障が発生していても論理不良にはならない短絡故障に対しては故障箇所を

推定できなかった。さらに、故障シミュレーションに遅延故障モデルを組み込むことで遅延故障や遅延故障の原因となる断線故障の位置を推定できるが、遅延故障の影響を集積回路の出力端子で観測するためのテストパターン生成が困難であり、遅延故障の故障箇所を効率よく推定することが困難であるという問題がある。

【0006】

さらに、IDDQ試験法と故障シミュレーションを併用した故障解析法は、IDDQ試験法が半導体集積回路の安定状態における電源電流を測定する試験法であり、半導体集積回路の過渡情報をもたないため、回路の遅延時間を変化させる故障の故障箇所を推定することができない。また、IDDQ試験法は、主に回路内の短絡故障を対象としており、遅延故障を生じる断線故障や局所的なプロセスパラメータ（シート抵抗、酸化膜厚など）の異常（パラメトリック故障）などを検出することができないため、遅延故障や断線故障、パラメトリック故障の故障箇所を解析できないという問題があった。

【0007】

このため、集積回路の遅延故障や断線故障を効率的に検出し、その故障箇所を効率よく推定できる故障解析法が必要となる。

この発明の目的は、半導体集積回路内の遅延故障や断線故障を可観測性の高い電源電流の過渡波形（過渡電源電流、IDD T、transient power supply current）と故障シミュレーションをもちいて評価することによって、集積回路デバイスを加工することなく遅延故障や断線故障の故障箇所を効率的に推定できる故障解析方法及びその装置を提供することにある。

【0008】

【課題を解決するための手段】

この発明の方法は、半導体集積回路における故障箇所を推定する方法において、被試験半導体集積回路の入力端子に2つ以上のテストパターンからなるテストパターン系列を入力するステップと、上記テストパターン系列を入力したときに発生する上記被試験半導体集積回路の過渡電源電流を測定し、上記過渡電源電流が異常を示すか否かを決定するステップと、上記過渡電源電流が異常を示したテ

ストパターン系列に対して故障検出可能な箇所のリスト（故障箇所リスト）を求めるステップと、上記故障箇所リストから上記被試験半導体集積回路内部の故障箇所を推定するステップと、を有する。

【 0 0 0 9 】

この方法によって、デバイスを加工することなく半導体集積回路における遅延故障や断線故障の故障箇所を効率よく推定することができる。

また、上記過渡電源電流が異常を示すか否かを決定するステップにおいて、上記過渡電源電流のパルス幅が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することが望ましい。

また、上記過渡電源電流が異常を示すか否かを決定するステップにおいて、上記過渡電源電流の瞬時値が所定の時間において所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することが望ましい。

【 0 0 1 0 】

また、上記過渡電源電流が異常を示すか否かを決定するステップにおいて、上記過渡電源電流の時間積分値が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断することが望ましい。

また、故障箇所を推定するステップにおいて、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列が複数組発生しているとき、上記過渡電源電流が異常を示すテストパターン系列に対する故障箇所のリストからすべての上記テストパターン系列に検出された半導体集積回路の故障箇所を推定することが望ましい。

【 0 0 1 1 】

また、故障箇所を推定するステップにおいて、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列が複数組発生しているとき、上記過渡電源電流が最初に異常を示したテストパターン系列に対する故障箇所リストをもとに、以後の過渡電源電流が異常を示すテストパターン系列に対する故障箇所リスト以外の非故障箇所を順次削除していくことにより上記被試験半導体集積回路の故障箇所を推定することが望ましい。

【 0 0 1 2 】

また、上記過渡電源電流が異常を示さなかったテストパターン系列に対しても故障リストを求め、故障箇所を推定するステップにおいて、上記被試験半導体集積回路の過渡電源電流が異常を示すテストパターン系列に対する故障箇所リストをもとに、上記被試験半導体集積回路の過渡電源電流が正常であるテストパターン系列に対する故障リストの正常箇所を順次削除し、上記被試験半導体集積回路の故障箇所を推定することが望ましい。

【 0 0 1 3 】

上記故障箇所リストを求めるステップはテストパターン系列に対する故障シミュレーションを行って求める、あるいは予め故障シミュレーションにより求めた各テストパターン系列対応の故障箇所リストのテーブルを参照して求める。

また、故障箇所を推定するステップにおいて、基本論理回路単位で故障箇所を推定することが望ましい。

また、上記故障箇所を推定するステップにおいて、信号線単位で故障箇所を推定することが望ましい。

【 0 0 1 4 】

また、上記故障箇所を推定するステップにおいて、信号伝搬パス単位で故障箇所を推定することが望ましい。

また、この発明の半導体集積回路における故障箇所を推定する故障解析装置は、被試験半導体集積回路の入力端子に2つ以上のテストパターンからなるテストパターン系列を入力するテストパターン系列入力手段と、上記テストパターン系列を入力したときに発生する上記被試験半導体集積回路の過渡電源電流を測定し、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験手段と、上記被試験半導体集積回路の過渡電源電流が異常を示す複数のテストパターン系列を格納しておく異常パターン系列記憶手段と、上記異常パターン系列記憶手段に格納された各テストパターン系列に対し故障検出が可能な箇所のリスト（故障箇所リスト）を求める故障箇所リスト生成手段と、上記故障箇所リスト生成手段から得られた1以上の故障箇所リストをもとに上記被試験半導体集積回路内部の故障箇所を推定する故障箇所推定手段と、を具備する。

【 0 0 1 5 】

この構成によって、デバイスを加工することなく半導体集積回路における遅延故障や断線故障の故障箇所を効率よく推定することができる。

また、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験手段は、上記過渡電源電流のパルス幅を測定する電流パルス幅測定手段と、上記電流パルス幅測定手段によって測定された過渡電源電流のパルス幅が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断する故障検出手段と、によって構成することが望ましい。

【 0 0 1 6 】

また、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験手段は、上記過渡電源電流の瞬時値を測定する電流瞬時値測定手段と、上記電流瞬時値測定手段によって所定の時間に測定された過渡電源電流の瞬時値が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断する故障検出手段と、によって構成することが望ましい。

また、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験手段は、上記過渡電源電流の時間積分値を測定する電流積分値測定手段と、上記電流積分値測定手段によって測定された過渡電源電流の積分値が所定の値を越えたとき上記過渡電源電流に異常が生じたと判断する故障検出手段と、によって構成することが望ましい。

【 0 0 1 7 】

また、上記故障箇所を推定する故障箇所推定手段は、上記異常パターン系列記憶手段に格納された複数のテストパターン系列に対して生成された複数の故障箇所リストを格納する故障箇所リスト記憶手段と、上記故障箇所リスト記憶手段に格納されたすべての故障箇所リストに含まれる故障箇所を求めることにより被試験半導体集積回路の故障箇所を推定する共通故障箇所推定手段と、によって構成することが望ましい。また、上記故障箇所を推定する故障箇所推定手段は、上記異常パターン系列記憶手段に格納された最初に異常を示すテストパターン系列に対して生成された基準故障箇所リストを格納する基準故障箇所リスト記憶手段と、以後の過渡電源電流が異常を示すテストパターン系列に対して生成され故障箇所リストに含まれない非故障箇所を上記基準故障箇所リストから順次削除してい

く非故障箇所削除手段と、によって構成することが望ましい。

【 0 0 1 8 】

また、過渡電源電流が異常を示さないテストパターンを格納する正常パターン系列記憶手段とを備え、上記故障箇所を推定する故障箇所推定手段は、上記異常パターン系列記憶手段に格納された複数のテストパターン系列に対する故障箇所リストを格納する故障箇所リスト記憶手段と、上記正常パターン系列記憶手段に格納されたテストパターン系列に対する正常箇所リストを格納する正常箇所リスト記憶手段と、上記故障箇所リスト記憶手段に格納されたすべての故障箇所リストに含まれる故障箇所を求めることにより故障箇所候補を推定する共通故障箇所推定手段と、上記共通故障箇所推定手段によって生成された故障箇所候補リストを格納する故障箇所候補リスト記憶手段と、上記正常箇所リスト記憶手段に格納された複数の正常箇所リストに対し、正常箇所リストに含まれる正常箇所を上記故障箇所候補リストから順次削除していく正常箇所削除手段と、によって構成することが望ましい。

【 0 0 1 9 】

また、上記故障箇所推定手段は、基本論理回路単位で故障箇所を推定する手段であることが望ましい。

また、上記故障箇所推定手段は、信号線単位で故障箇所を推定する手段であることが望ましい。

【 0 0 2 0 】

【作用】

以下では、もっとも一般的な半導体集積回路であるCMOS集積回路を例に説明する。

CMOS集積回路の電源電流は、CMOS集積回路に流れ込む電源電流であり、集積回路内の各論理ゲートを流れる電流の和であらわされる。

過渡電源電流

図1に、CMOSインバータの過渡応答 (transient response)を示す。この過渡応答は、回路シミュレータで求めた。図1 a は、過渡状態における入力電圧 V_{IN} に対する出力電圧 V_{OUT} の応答と、電源からCMOSインバータに流れ込む

電流 I_{DD} の応答である。この電流を過渡電流 (transient current) と呼ぶ。インバータの入力が “1” から “0” に遷移するとき (図 1 b)、入力電圧が n -MOS のしきい電圧より高く p -MOS のしきい電圧より低いあいだ、 n -MOS と p -MOS が一瞬だけ同時にオンとなり、電源からグランドへ貫通電流 (short circuit current) I_S が流れる。このとき、インバータの出力信号線は “0” から “1” に遷移するため、貫通電流と同時にインバータの出力信号線に接続された寄生容量 (parasitic capacitance) C_{load} への充電 (capacitance charging) にともなう電流 I_C が電源端子 T_{VD} から流れる。したがって、インバータの入力に立ち下がり遷移が生じるとき (添字 “f” で記述する)、インバータに流れ込む過渡電流 I_{Gf} は、貫通電流 I_{Sf} と充電電流 (capacitance charging current) I_C の和であたえられる。

【0 0 2 1】

$$I_{Gf} = I_{Sf} + I_C \quad (1)$$

一方、入力が “0” から “1” に遷移するとき (出力が “1” から “0” に遷移するとき (添字 “r” で記述する) (図 1 c))、出力信号線に接続された寄生容量 C_{load} からの放電 (capacitance discharging) がおこり、放電電流 (capacitance discharging current) I_D が生じるが、電源端子 T_{VD} からインバータへ流れ込む電流 I_{Gr} は貫通電流 I_{Sr} だけである。このため、この電流ピークは、立ち下がり遷移時の過渡電流 I_{Gf} ピークよりわずかに小さくなる。

【0 0 2 2】

$$I_{Gr} = I_{Sr} \quad (2)$$

CMOS インバータの伝達特性は、図 2 a に示すように入力電圧 V_{IN} の変化に対し三角パルス状の電流 I_S を示す。このため、CMOS インバータの入力が立ち上がり遷移をもつとき、CMOS インバータを流れる貫通電流波形 I_{Sr} は、入力電圧 V_{IN} がランプ状に遷移すると仮定すると、図 2 b において “ I_S ” で示した三角パルスで近似できる。また、図 2 b に示した入力信号の立ち上がり遷移に対する CMOS インバータの貫通電流波形 I_{Sr} は、つぎのような近似式であたえられる。

【0 0 2 3】

【数 1】

$$I_{Sr} = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_r, \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{THN}) \cdot t_r} t - \frac{V_{THN} \cdot I_{Smax}}{(V_{SP} - V_{THN})}, & \frac{V_{THN}}{V_{DD}} t_r < t \leq \frac{V_{SP}}{V_{DD}} t_r, \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP}) \cdot t_r} t - \frac{(V_{DD} - V_{THP}) \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP})}, & \frac{V_{SP}}{V_{DD}} t_r < t \leq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r, \\ 0, & t \geq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r, \end{cases} \quad (3)$$

【0024】

ここで、 I_{Smax} はCMOSインバータに流れ込む過渡電流（貫通電流）の最大値、 V_{DD} は電源電圧、 V_{THN} はn-MOSトランジスタのしきい電圧、 V_{THP} はp-MOSトランジスタのしきい電圧、 t_r は入力信号の立ち上がり遷移時間である。ただし、 V_{THP} は絶対値で示した。また、近似式を簡略化するため、入力電圧 V_{IN} の遷移開始時刻は0とし、遷移終了時刻 t_r で入力電圧は V_{DD} になるとした。

入力信号の立ち下がり遷移に対するCMOSインバータの貫通電流波形 I_{Sf} についても同様に、

【0025】

【数 2】

$$I_{Sf} = \begin{cases} 0, & t \leq \frac{V_{THP}}{V_{DD}} t_f, \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{DD} - V_{THP} - V_{SP}) \cdot t_f} t - \frac{V_{THP} \cdot I_{Smax}}{(V_{DD} - V_{THP} - V_{SP})}, & \frac{V_{THP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{SP}}{V_{DD}} t_f, \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{THN} - V_{SP}) \cdot t_f} t - \frac{(V_{DD} - V_{THN}) \cdot I_{Smax}}{(V_{THN} - V_{SP})}, & \frac{V_{DD} - V_{SP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f, \\ 0, & t \geq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f, \end{cases} \quad (4)$$

【0026】

と求めることができる。ここで、 t_f は入力信号の立ち下がり遷移時間である。念のためにこの場合の電源電流の立ち上がり開始時刻、最大値 I_{Smax} の時刻、立

ち下り終了時刻を図 2 b に、括弧を付けて示した。

さらに、CMOS インバータの出力信号線の寄生容量 C_{load} への充電電流 I_C は、出力信号線の電圧変化を $v_{out}(t)$ とすると次式であたえられる。

【0027】

【数 3】

$$I_C = C_{load} \frac{dv_{out}(t)}{dt} \quad (5)$$

【0028】

これらの式は、インバータ以外の論理ゲートに対しても同様に求めることができる。

論理ゲートに流れ込む過渡電流 I_G は、そのほとんどが貫通電流であると仮定すると、図 2 b に I_S で示すような三角パルスで近似できる。実際、CMOS インバータの過渡電流波形 I_G は、図 1 a に示すような三角パルスを示す。したがって、論理ゲートの過渡電流 I_G は、図 2 b に示すように、最大値 I_{Smax} になるまでは単調に増加し、最大値 I_{Smax} 以降は単調に減少する。また、 I_G が最大値 I_{Smax} となるのは、入力電圧 V_{IN} が論理ゲートのスイッチング電圧 V_{SP} になったときである。すなわち、図 2 b に示すように、 I_G がピークとなる時刻と論理ゲートの入力遷移の時刻が一致する。論理ゲートは遅延時間をもつため、論理ゲートの出力遷移の時刻は入力遷移の時刻よりわずかに遅れる。すなわち、 I_G がピークとなる時刻は論理ゲートの出力遷移の時刻よりわずかに先行する。この場合、過渡電流波形 I_G の立ち下がリエッジ（立ち下り部分）が、出力遷移の時刻に一致すると考えることができる。さらに、論理ゲートの過渡電流波形 I_G のパルス幅は、入力電圧の遷移時間（例えば立ち上がり遷移時間 t_r ）に比例する。

【0029】

これまでは、論理ゲートに流れ込む過渡電流 I_G の大部分が貫通電流 I_S であると仮定して議論してきた。しかし、CMOS 製造プロセスの微細化によって、ゲート遅延より配線遅延が支配的となる。これは、入力電圧の遷移時間が一定であると仮定すると、CMOS 論理ゲートに流れ込む過渡電流 I_G において、貫通電流 I_S の割合より出力信号線への充電電流 I_C の割合が大きくなることを意味する

。このため、論理ゲートの過渡電流波形がピークとなる時刻は、充電電流 I_C と貫通電流 I_S の比に依存する。 I_C が I_S より小さいとき、過渡電流波形 I_G のピークは I_S のピークと一致する。 I_S のピークは入力電圧の遷移時刻と一致するため、 I_G のピークは論理ゲートの出力の遷移時刻より先行する。逆に、 I_C が I_S より大きいとき、過渡電流波形のピークは I_C のピークと一致する。充電電流 I_C は出力信号線の電圧遷移に関係するため、 I_G のピークは論理ゲートの出力の遷移時刻とほぼ一致する。

【0030】

図3 a に示すCMOS集積回路は、図1 に示したインバータを直列に4つ (G_1 , G_2 , G_3 , G_4) 組み合わせたものであり、各インバータ G_1 , G_2 , G_3 , G_4 をそれぞれ流れる過渡電流 I_{G1} , I_{G2} , I_{G3} , I_{G4} は通常一つの電源端子 T_{VD} から供給される。このため、集積回路の過渡電源電流 (transient power supply current) 応答は、図3 b に示すように各論理ゲートを流れる過渡電流の和としてあらわされ、次式で与えられる。

【0031】

【数4】

$$I_{DDT} = \sum_{n=1}^N I_{Gn} \quad (6)$$

【0032】

ここで、 N は入力されたテストパターン系列によりスイッチングする論理ゲートの数であり、図3 の例では $N = 4$ である。

論理ゲートの過渡電流波形のピーク（または、立ち下がりエッジ）がその論理ゲートの出力の遷移時刻に対応することから、CMOS集積回路の過渡電源電流波形の最終ピーク（最終の立ち下がりエッジ）がCMOS集積回路において最後にスイッチングする論理ゲートの出力遷移時刻に一致する。したがって、CMOS集積回路の過渡電源電流波形の最終ピーク（最終の立ち下がりエッジ）を検出し入力遷移の時刻と比較することにより、回路のパス遅延時間を求めることができる。ここで、過渡電源電流の最終の立ち下がりエッジの時刻は、例えば、過渡電源電流がある既定の電流値となる時刻の最大値として求めることができる。こ

の電流値は、被試験パス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値であり、被試験回路に対する回路シミュレーションや実デバイスをもちいた統計データなどから求めることができる。

【0033】

また、もとめた遅延時間を既定の時間（例えば、システムクロックの周期 T_{CLK} ）と比較することにより、被試験パスにおける遅延故障を検出することができる。

遅延故障

最初に、遅延故障について定義する。CMOS論理回路において、2つのテストパターン v_1, v_2 をもつテストパターン系列 $T = \langle v_1, v_2 \rangle$ （電圧信号 V_1 の次に電圧信号 V_2 が続くことをあらわす）をもちいてパス $P = \{g_0, g_1, g_2, \dots, g_m\}$ を活性化するときを考える。ここで、 g_0 はパス P の入力信号線であり、 g_1, g_2, \dots, g_m はパス P 上の論理ゲート G_1, G_2, \dots, G_m の出力信号線である。同時に、 g_0, g_1, \dots, g_{m-1} はパス P 上の論理ゲート G_1, G_2, \dots, G_m の入力信号線でもある。各信号線 g_0, g_1, \dots, g_m の信号遷移の時刻（電圧信号が $V_{DD}/2$ をよこぎる時刻）をそれぞれ $\tau_0, \tau_1, \dots, \tau_m$ とすると、パス P 上の各論理ゲート G_1, G_2, \dots, G_m のゲート遅延時間 $t_{gdi}, 1 \leq i \leq m$ は、それぞれ

$$t_{gdi} = \tau_i - \tau_{i-1} \quad (7)$$

であたえられる。したがって、パス P のパス遅延時間 t_{pd} は、ゲート遅延時間 t_{gdi} の和として、

【0034】

【数5】

$$t_{pd} = \sum_{i=1}^m t_{gdi} = \tau_m - \tau_0 \quad (8)$$

【0035】

で求めることができる。しかし、実際のゲート遅延時間 t_{gdi} は、故障の影響により変動する。

$$t_{gdi} = t_{gdi,typ} + \delta_i, \quad 1 \leq i \leq m \quad (9)$$

ここで、 $t_{gdi,typ}$ は論理ゲート G_i のゲート遅延時間の典型値であり、 δ_i はゲート遅延時間の変動成分である。例えば、断線故障は、故障をもつ論理ゲートのゲート遅延時間のみを増加させ、ほかの論理ゲートの遅延時間を増加させない。また、パラメトリック故障は、すべての論理ゲートの遅延時間を増加させる。ゲート遅延時間の変動にともなって、パス遅延時間 t_{pd} も同様に変動する。

【0036】

【数6】

$$t_{pd} = t_{pd,typ} + \Delta = \sum_{i=1}^m (t_{gdi,typ} + \delta_i) \quad (10)$$

【0037】

ここで、 $t_{pd,typ}$ はパスPのパス遅延時間の典型値であり、 Δ はパス遅延時間の変動成分である。

図4に遅延故障試験方法の基本原理を模式的に示す。図4aの被試験回路(CUT)が正常に動作するためには、入力ラッチに生成された信号遷移がパスPをとって出力ラッチまで既定の時間内に伝搬しなければならない。したがって、図4bに示す入力 V_{IN} 及び出力 V_{OUT} の関係と、システムクロックCLKとの関係からパスPのパス遅延時間 t_{pd} は以下の条件を満たさなければならない。

【0038】

$$t_{pd} + T_{SU} < T_{CLK} - T_{SKW} \quad (11)$$

ここで、 T_{SU} は信号のセットアップ時間、 T_{CLK} はシステムクロックの周期、 T_{SKW} はシステムクロックのクロックスキュー(ジッタでありエッジが土に変動する)である。変形すると、

$$t_{pd} < T_{CLK} - T_{SKW} - T_{SU} \equiv T' \quad (12)$$

となる。すなわち、パスPのパス遅延時刻 t_{pd} は、クロック周期からセットアップ時間やクロックスキューなどのマージンをひいた時間(これを T' とする)より小さくなければならない。もし、 t_{pd} が T' より大きければ、パスPに沿った信号伝搬がシステムクロックに間に合わず、回路は正しい動作をしない。この状態を遅延故障と定義する。すなわち、 t_{pd} がある既定の時間 T' より大きいとき、パスPは遅延故障をもつと定義する。ここで、 T' は、許容できる遅延時間の

上限値である。

断線故障（遅延故障を伴う）

つぎに、遅延故障を生じる断線故障について定義する。断線故障は、故意でない電氣的不連続であり、ある信号線を二つ以上の異なる信号線に分割する。断線故障には、金属の欠損や酸化膜による断線コンタクト、パターニング不良やエッチング不良などによる金属配線断線、マスク不良などによる拡散層あるいはポリシリコンにおける断線などが含まれる。また、断線故障は、図 5 a に示すように“論理故障”を生じる断線故障と、図 5 b に示すように“遅延故障”を生じる断線故障の二つのタイプに分類できる。論理故障を生じる断線故障は、断線の規模が大きく故障の両端の信号線に電圧をあたえても電流が流れないため、信号遷移に伴う寄生容量の充放電がおこなわれず論理がある一定の値に固定される論理故障を生じる。これに対し、遅延故障を生じる断線故障では、故障の両端の信号線に電圧をあたえると微小な電流が流れるが、その電流量は正常時より小さいため、信号遷移に伴う寄生容量の充放電が遅くなり、回路の遅延時間が増加する。遅延故障を生じる断線故障には、コンタクトなどの不良により信号線間の抵抗値が正常値より大きくなってしまったり、信号線に生じた不良などにより信号線の抵抗値が正常値より大きくなってしまう抵抗性断線故障と、トンネル効果により断線故障を通してごく微量なリーク電流が流れる非常に小さな（ $< 100 \text{ nm}$ ）微小断線故障がある。微小断線故障を流れるトンネル電流については、例えば、C. L. Henderson, J. M. Soden, and C. F. Hawkins, “The Behavior and Testing Implications of CMOS IC Logic Gate Open Circuits,” Proceedings of IEEE International Test Conference, pp. 302-310, 1991. に記載されている。この明細書では、遅延故障を生じる断線故障を対象とし、これを単に断線故障と呼ぶ。

遅延故障検出方法（過渡電源電流パルス幅利用）

つぎに、上で述べた過渡電源電流のパルス幅を利用して遅延故障を検出する方法について述べる。上記方法は、被試験回路の電源電流波形のパルス幅を測定し、既定の時間と比較する方法である。上記方法の基本原理を図 6 に示す。

【0039】

CMOS 論理回路において、2つのテストパターン v_1 , v_2 を持つテストパタ

ーン系列 $T = \langle V_1, V_2 \rangle$ により複数のパス P_1, P_2, \dots, P_n が活性化されるとする。パス P_i 上の入力から数えて j 番目の論理ゲートがスイッチングする時刻を τ_{ij} とすると、各パス P_1, \dots, P_n により論理ゲートの数は異なり、パス P_1, P_2, \dots, P_n においてもっとも遅くスイッチングする論理ゲート G_{final} の出力遷移の時刻 τ_{max} は、

【0040】

【数7】

$$\tau_{max} = \max_{i,j} \{ \tau_{ij} \}, \quad 1 \leq i \leq n, 1 \leq j \quad (13)$$

【0041】

であたえられる。したがって、パス P_1, P_2, \dots, P_n におけるパス遅延時間の最大値 $t_{pd,max}$ は、 τ_{max} と入力遷移の時刻 τ_0 のあいだの時間間隔としてつぎのように求めることができる。

$$t_{pd,max} = \tau_{max} - \tau_0 \quad (14)$$

一方、CMOS論理回路の過渡電源電流波形のパルス幅 t_{pW} を、回路入力 of 信号遷移の時刻 τ_0 と過渡電源電流波形の最終ピーク（立ち下がリエッジ）の時刻 τ_{IDD} のあいだの時間間隔と定義する。

【0042】

$$t_{pW} \equiv \tau_{IDD} - \tau_0 \quad (15)$$

前に述べたように、過渡電源電流波形の最終ピークの時刻 τ_{IDD} は、最後にスイッチングする論理ゲート G_{final} の出力遷移時刻 τ_{max} に一致するか τ_{max} より先行することから、過渡電源電流波形のパルス幅 t_{pW} は、テストパターン T により活性化されるパス P の遅延時間 $t_{pd,max}$ に対応する。

$$t_{pW} = \tau_{IDD} - \tau_0 \leq \tau_{max} - \tau_0 = t_{pd,max} \quad (16)$$

もし、 t_{pW} が許容できる遅延時間の上限値 T' より大きいならば、

$$T' < t_{pW} \leq t_{pd,max} \quad (17)$$

となる。もっとも大きな遅延時間 $t_{pd,max}$ をもつパスにおいて、信号の伝搬がシステムロックに間に合わない。すなわち、回路には遅延故障が存在する。したがって、 T' より大きい t_{pW} は活性化されたパスのいずれかに遅延故障があること

を示し、 T' より小さい t_{PW} は活性化されたパスのいずれにも遅延故障が存在しないことを示す。

【0043】

遅延故障なし， $t_{PW} \leq T'$

遅延故障あり， $t_{PW} > T'$ (18)

以上のように、過渡電源電流波形のパルス幅 t_{PW} を既定の時間 T' と比較することにより、回路の遅延故障をテストすることができる。

また、図1に示すように、論理ゲートの過渡電源電流はピーク値以降単調に減少することから、図3に示すCMOS集積回路の電源電流は、同集積回路において最後にスイッチングする論理ゲートの出力遷移時刻以降単調に減少する。つまり、故障のないCMOS集積回路において、最後にスイッチングする論理ゲートの出力遷移時刻を τ_{max} とし、時刻 τ_{max} における過渡電源電流の瞬時値を I' とすると、 τ_{max} 以後CMOS集積回路の過渡電源電流が I' より大きくなることはない。

【0044】

この原理をもちい、ある既定時刻におけるCMOS集積回路の過渡電源電流の瞬時値を測定することにより、被試験回路における遅延故障を検出することができる。ここで、故障検出の判断基準となる電流値 I' は、被試験パス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値であり、被試験回路に対する回路シミュレーションや実デバイスをもちいた統計データなどから求めることができる。

遅延故障検出方法（過渡電源電流瞬時値利用）

つぎに、上で述べた過渡電源電流の瞬時値を利用して遅延故障を検出する方法について述べる。上記方法は、規定の時刻における被試験回路の過渡電源電流の瞬時値を測定し、遅延故障のないゴールデン回路の過渡電源電流値と比較する方法である。上記方法の基本原理を図7に示す。

【0045】

CMOS論理回路において、テストパターン系列 $T = \langle V_1, V_2 \rangle$ により複数のパス P_1, P_2, \dots, P_n が活性化されたとする。パス P_i 上の入力から数えて j

番目の論理ゲートがスイッチングする時刻を τ_{ij} とすると、パス P_1, P_2, \dots, P_n においてもっとも遅くスイッチングする論理ゲート G_{final} の出力遷移の時刻 τ_{max} は、

【0046】

【数8】

$$\tau_{max} = \max_{i,j} \{\tau_{ij}\}, \quad 1 \leq i \leq n, 1 \leq j \quad (19)$$

【0047】

であたえられる。したがって、パス P_1, P_2, \dots, P_n におけるパス遅延時間の最大値 $t_{pd,max}$ は、 τ_{max} と入力遷移の時刻 τ_0 の間の時間間隔としてつぎのように求めることができる。

$$t_{pd,max} = \tau_{max} - \tau_0 \quad (20)$$

前にも述べたように、論理ゲートの出力遷移の時刻が論理ゲートの過渡電源電流のピークまたは立ち下がりの時刻に一致するので、 τ_{max} は回路の過渡電源電流波形 I_{DDT} の最終ピークまたは立ち下がりエッジの時刻 τ_{IDD} に対応する。論理ゲートの電源電流 I_G は三角波で近似でき、 G_{final} は最後にスイッチングするゲートであるから、 τ_{max} 以降に電源電流のピークをもつ論理回路は存在しない。したがって、 $t \geq \tau_{max}$ なる時刻 t において電源電流波形関数 $i_{DDT}(t)$ は、単調減少関数である。すなわち、電源電流波形の時間関数を $i_{DDT}(t)$ とし、時刻 τ_{max} における電源電流の瞬時値を

$$I' \equiv i_{DDT}(\tau_{max}) \quad (21)$$

とすると、 $t \geq \tau_{max}$ なる t において、

$$i_{DDT}(t) \leq i_{DDT}(\tau_{max}) = I', \quad t \geq \tau_{max} \quad (22)$$

が成立する。回路が正常に動作するためには、 $t_{pd,max}$ が遅延時間の上限値 T' ($= T_{CLK} - T_{SKEW} - T_{SU}$) より小さくなければならない。

【0048】

$$t_{pd,max} = \tau_{max} - \tau_0 < T' \quad (23)$$

したがって、回路に故障がないとき、 $t = T' + \tau_0 > \tau_{max}$ なる時刻 t において、式(22)より

$$i_{DDT}(T' + \tau_0) \leq I' \quad (24)$$

が成立する。もし、 $T' + \tau_0$ における i_{DDT} の瞬時値が I' より大きいならば、つまり、

$$i_{DDT}(T' + \tau_0) > I' = i_{DDT}(\tau_{\max}) \quad (25)$$

ならば、式(22)より $T' + \tau_0$ が τ_{\max} より大きいことはありえないので、

$$\tau_{\max} > T' + \tau_0 \quad (26)$$

$$\therefore t_{pd, \max} = \tau_{\max} - \tau_0 > T' \quad (27)$$

となる。もっとも大きな遅延時間 $t_{pd, \max}$ をもつパスにおいて、信号の伝搬がシステムクロックに間に合わない。すなわち、回路には遅延故障が存在する。したがって、時刻 $T' + \tau_0$ における電源電流値 $i_{DDT}(T' + \tau_0)$ が I' より大きいということは、活性化されたパスのいずれかに遅延故障があることを示す。逆に、 $i_{DDT}(T' + \tau_0)$ が I' より小さいということは、活性化されたパスのいずれにも遅延故障が存在しないことを示す。

【0049】

遅延故障なし、 $i_{DDT}(T' + \tau_0) \leq I'$

遅延故障あり、 $i_{DDT}(T' + \tau_0) > I' \quad (28)$

以上のように、ある既定の時刻における i_{DDT} の瞬時値を故障のない回路の i_{DDT} レベルと比較することにより、回路の遅延故障を検出することができる。

過渡電源電流積分値

さらに、式(3)および式(4)より、貫通電流 I_{Sr} および I_{Sf} の時間積分値 Q_{Sr} および Q_{Sf} は、それぞれ、

【0050】

【数9】

$$Q_{Sr} = \int_{-\infty}^{\infty} I_{Sr} dt = \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_r \quad (29)$$

$$Q_{Sf} = \int_{-\infty}^{\infty} I_{Sf} dt = \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_f \quad (30)$$

【0051】

であたえられる。したがって、スイッチングのとき論理ゲートを流れる貫通電流

の積分値 Q_S は、

【0052】

【数10】

$$Q_S = \int_{-\infty}^{\infty} I_S dt = \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T \quad (31)$$

【0053】

であたえられる。ここで、 t_T は入力信号の遷移時間である。すなわち、論理ゲートに流れ込む貫通電流 I_S (I_{Sr} または I_{Sf}) の積分値 Q_S は、論理ゲートの入力遷移時間 t_T に比例する。また、 Q_S は、入力信号の遷移方向が立ち上がり遷移であるか、立ち下がり遷移であるかに関係ないことがわかる。

CMOSインバータの出力負荷容量 C_{load} への充電電流 I_C の積分値 Q_C は式 (5) より

【0054】

【数11】

$$\begin{aligned} Q_C &= \int_{-\infty}^{\infty} I_C dt = \int_{-\infty}^{\infty} C_{load} \frac{dv_{out}(t)}{dt} dt \\ &= C_{load} [v_{out}(t)]_{-\infty}^{\infty} = C_{load} (V_{DD} - 0) = C_{load} V_{DD} \end{aligned} \quad (32)$$

【0055】

であたえられ、CMOSインバータの入力遷移時間 t_T には依存しない。

したがって、論理ゲートを流れる過渡電流 I_{Gf} および I_{Gr} の積分値 Q_{Gf} および Q_{Gr} は、式 (1), (2), (31), (32) より、

【0056】

【数12】

$$Q_{Gf} = \int_{-\infty}^{\infty} (I_{Sf} + I_C) dt = \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T + C_{load} V_{DD} \propto t_T \quad (33)$$

$$Q_{Gr} = \int_{-\infty}^{\infty} I_{Sr} dt = \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T \quad (34)$$

【0057】

ともとめられる。すなわち、論理ゲートの過渡電流の積分値は論理ゲートの入力

遷移時間に比例する。図 8 に、インバータの入力遷移時間を変化させたときのインバータの過渡電流の積分値の変化に関する回路シミュレーションの結果を示している。これらからも、式 (33), (34) の考察が正しいことがわかる。

図 3 a に示す CMOS 集積回路は、図 1 に示したインバータを直列に 4 つ (G_1, G_2, G_3, G_4) 組み合わせたものであり、各インバータを流れる電流 ($I_{G1}, I_{G2}, I_{G3}, I_{G4}$) は通常一つの電源から供給される。このため、集積回路の過渡電源電流応答 I_{DDT} は、図 3 b のように各論理ゲートを流れる電流の和としてあらわされる (式 (6))。したがって、過渡電源電流 I_{DDT} の積分値 Q_{DDT} も、各論理ゲートを流れる電流の積分値 Q_{Gn} ($1 \leq n \leq N$) の和としてあらわされる。N は入力されたテストパターン系列によりスイッチングする論理ゲートの数であり、図 3 a の場合は $N = 4$ である。

【0058】

【数 13】

$$Q_{DDT} = \int_{-\infty}^{\infty} I_{DDT} dt = \int_{-\infty}^{\infty} \left(\sum_{n=1}^N I_{Gn} \right) dt = \sum_{n=1}^N \int_{-\infty}^{\infty} I_{Gn} dt = \sum_{n=1}^N Q_{Gn} \quad (35)$$

【0059】

図 3 の例では、過渡電源電流 I_{DDT} の積分値 Q_{DDT} は、各インバータを流れる電流の積分値 ($Q_{G1}, Q_{G2}, Q_{G3}, Q_{G4}$) の和としてあらわされる。

各論理ゲートを流れる電流の積分値 Q_{Gn} ($1 \leq n \leq N$) は、式 (33) または式 (34) に示すように、各論理ゲートの入力遷移時間 t_{Tn} ($1 \leq n \leq N$) にそれぞれ比例することから、 Q_{DDT} は t_{Tn} ($1 \leq n \leq N$) の線形多項式であたえられる。例えば、図 3 の例では、 Q_{DDT} は各インバータの入力遷移時間 ($t_{T1}, t_{T2}, t_{T3}, t_{T4}$) の線形多項式であたえられる。

【0060】

【数 14】

$$Q_{DDT} = \sum_{n=1}^N Q_{Gn} = \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} = \sum_{n=1}^N a_n t_{Tn} + b \quad (36)$$

【 0 0 6 1 】

式 (3 6) において、 a_n は論理ゲート G_n の貫通電流の積分値 Q_{Sn} と論理ゲート G_n の入力遷移時間 t_{Tn} の間の比例係数であり、 b は各論理ゲートに流れ込む充電電流 Q_{Cn} の和であらわされる定数項である。

断線故障

この原理をもちいることにより、被試験パスにおける断線故障と断線故障による遅延故障を検出することができる。

【 0 0 6 2 】

断線故障は、故障をとおして小さな電流が流れるため、大きな抵抗 R_{open} でモデル化できる。図 9 a に、入力に断線故障をもつ CMOS インバータの例を示す。入力信号線 A に図 9 b に示す信号遷移が生じるとき、断線故障により、断線個所に後続する信号線 A' の信号遷移が図 9 c に示すように遅くなる。このとき、信号線 A' の信号遷移時間 t_T は、断線故障の抵抗を R_{open} 、インバータの入力における寄生容量を C_{in} とすると、

【 0 0 6 3 】

【数 1 5】

$$t_T \approx t_{T,typ} + 2.2R_{open}C_{in} \quad (37)$$

【 0 0 6 4 】

であたえられる。ここで、 $t_{T,typ}$ は故障がない場合の入力信号の遷移時間の典型値であり、遷移時間 t_T は電圧値が $0.1V_{DD}$ から $0.9V_{DD}$ まで立ち上がる（または、電圧値が $0.9V_{DD}$ から $0.1V_{DD}$ まで立ち下がる）のに要する時間としてもとめた。2. $2R_{open}C_{in}$ は C_{in} が $0.1V_{DD}$ から $0.9V_{DD}$ になるまでの時であり $\log_e(0.9V_{DD}/0.1V_{DD}) \times R_{open}C_{in}$ により求めた値である。すなわち、インバータの入力信号の遷移時間の増分は、断線故障の抵抗値 R_{open} に比例する。したがって、被試験パス上の k 番目のインバータの入力に断線故障があるとき、CMOS 集積回路の電源電流の積分値 Q_{DDT} は、式 (3 6)、(3 7) より、式 (3 8) が求まり、断線故障の抵抗値 R_{open} に応じて線形に変化し、その増分は断線故障の抵抗値 R_{open} に比例する。

【0065】

【数16】

$$Q_{DDT} = \sum_{n=1}^N a_n t_{Tn} + b = \left(\sum_{n=1}^N a_n t_{Tn,typ} + b \right) + 2.2a_k C_{in} R_{open} \quad (38)$$

$$= Q_{DDT,typ} + 2.2a_k C_{in} R_{open} \propto R_{open}$$

【0066】

ここで、 $Q_{DDT,typ}$ は故障がない場合の電源電流の積分値の典型値とする。式(38)の右辺第2項の $2.2a_k C_{in} R_{open}$ は k 番目のインバータの入力断線故障にもとづく加算量である。この式(38)は、図10に示す R_{open} に対する Q_{DDT} の変化のシミュレーション結果とも一致する。図10は、図3に示した回路において、インバータIN2の入力信号線に断線故障があるときの、断線故障の抵抗値 R_{open} に対する Q_{DDT} の変化をプロットしたものである。

【0067】

したがって、過渡電源電流の積分値 Q_{DDT} を測定し、故障のない回路の過渡電源電流の積分値 $Q_{DDT,typ}$ と比較することにより、被試験パス上の論理ゲートの入力段に存在する断線故障を検出することができる。実際のCMOS製造プロセスでは、プロセスパラメータのばらつきによって、過渡電源電流の積分値は図11に示すように $Q_{DDT,typ} \pm \Delta_Q$ の範囲で変動する。ここで、 Δ_Q は過渡電源電流の積分値の変動分である。このため、 Q_{DDT} が故障のない回路において生じる過渡電源電流の積分値の上限値 $Q_{DDT,typ} + \Delta_Q$ より大きいとき、被試験パス上に断線故障があると判断することができる。すなわち、 $Q_{DDT,typ} + \Delta_Q$ より小さい Q_{DDT} はCMOS集積回路に断線故障がないことを示し、 $Q_{DDT,typ} + \Delta_Q$ より大きい Q_{DDT} はCMOS集積回路に断線故障が存在することを示す。

【0068】

断線故障なし、 $Q_{DDT} \leq Q_{DDT,typ} + \Delta_Q$

断線故障あり、 $Q_{DDT} > Q_{DDT,typ} + \Delta_Q \quad (39)$

ここで、 $Q_{DDT,typ}$ および Δ_Q はプロセス変動に関するシミュレーションなどにより導出できる。

入力段故障による遅延故障検出方法（過渡電源電流積分値利用）

つぎに、上で述べた過渡電源電流の時間積分値を利用して遅延故障を検出する方法について述べる。上記方法は、被試験回路の過渡電源電流の積分値を測定し、所定の値と比較することによって遅延故障を評価する方法である。

【0069】

論理ゲートのゲート遅延時間 t_{gd} は、入力信号の遷移時間 t_T に比例する。(Neil H.E. Weele 著者 “Principles of CMOS VLSI Design-A Systems Perspective” “Second Edition. Addison-Wesley Publishing Company. 1999年発行の216～217頁の式4.52, 式4.53による)

【0070】

【数17】

$$t_{gd} = t_{gd,step} + \frac{1}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) t_T \quad (40)$$

【0071】

ここで、 $t_{gd,step}$ は遷移時間0のステップ入力に対する故障のないインバータの遅延時間である。また、 V_{TH} は p-MOS または n-MOS のしきい値電圧であり、入力の立ち上がり遷移に対しては $V_{TH} = V_{THN}$ 、入力の立ち下がり遷移に対しては $V_{TH} = V_{THP}$ であたえられる。したがって、入力信号線上に抵抗 R_{open} でモデル化できる断線故障をもつ論理ゲートのゲート遅延時間 t_{gd} は、論理ゲートの入力遷移時間が式(37)であたえられることから、式(40)に式(37)を代入して、

【0072】

【数 18】

$$\begin{aligned}
 t_{gd} &= t_{gd,step} + \frac{t_T}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd,step} + \frac{t_{T,typ} + 2.2R_{open}C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd,step} + \frac{t_{T,typ}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) + \frac{2.2C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{gd,typ} + \frac{2.2C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned} \tag{41}$$

【0073】

と求めることができる。ここで、 $t_{gd,typ}$ は故障のない論理ゲートのゲート遅延時間の典型値である。すなわち、断線故障をもつ論理ゲートのゲート遅延時間 t_{gd} は故障の抵抗値 R_{open} によって変化し、ゲート遅延時間の増分 δ は故障の抵抗値 R_{open} に比例する。ゆえに、被試験パス上のいずれかの論理ゲートの入力に断線故障があるとき、被試験パスのパス遅延時間 t_{pd} も R_{open} に比例する。このことを式で示すと、式(10)に式(41)を代入して式(42)が得られることから理解される。

【0074】

【数 19】

$$\begin{aligned}
 t_{pd} &= \sum_{i=1}^n t_{gdi} \\
 &= \sum_{i=1}^n t_{gdi,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned} \tag{42}$$

【0075】

これは、図12に示す R_{open} に対する t_{pd} の変化のシミュレーション結果とも一致する。図12は、図3に示した回路において、インバータ IN2 の入力信号線に断線故障があるときの、断線故障の抵抗値 R_{open} に対する t_{pd} の変化をプロットしたものである。

パス P 上のある論理ゲート G_k の入力に断線故障が存在するとき、 G_k の貫通電

流の積分値 Q_{Sk} は、式(31)および式(37)より、

【0076】

【数20】

$$\begin{aligned} Q_{Sk} &= \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_{TK} \\ &= \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} (t_{TK,typ} + 2.2R_{open}C_{ink}) \\ &= \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} \cdot t_{TK,typ} + \frac{I_{S\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} \cdot 2.2R_{open}C_{ink} \\ &= Q_{Sk,typ} + \frac{2.2I_{S\max}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} \end{aligned}$$

ともとめられる。したがって、集積回路の過渡電源電流の積分値 Q_{DDT} は、式(36)より、

【0077】

【数21】

$$\begin{aligned} Q_{DDT} &= \sum_{n=1}^N Q_{Gn} \\ &= \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} \\ &= \sum_{n=k}^N Q_{Sn,typ} + Q_{Sk,typ} + \frac{2.2I_{S\max}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} + \sum_{n=1}^N Q_{Cn} \\ &= \sum_{n=1}^N Q_{Sn,typ} + \sum_{n=1}^N Q_{Cn} + \frac{2.2I_{S\max}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} \\ &= Q_{DDT,typ} + \frac{2.2I_{S\max}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} \quad (43) \end{aligned}$$

【0078】

となり、回路の過渡電源電流の積分値 Q_{DDT} も、断線故障の抵抗値 R_{open} に比例する。

したがって、式(42)および式(43)より、断線故障をもつパスPの遅延時間 t_{pd} は、CMOS集積回路の過渡電源電流の積分値 Q_{DDT} に対して線形に変化する。これは、図13に示す Q_{DDT} に対する t_{pd} の変化のシミュレーション結果とも一致する。図13は、図3に示した回路において、インバータIN2の入

力信号線に断線故障があるときの、過渡電源電流の積分値 Q_{DDT} に対する t_{pd} の変化をプロットしたものである。

式(43)より求めた R_{open} を式(42)に代入すると式(44)が得られる。

【0079】

【数22】

$$\begin{aligned} t_{pd} &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\ &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \cdot \frac{(Q_{DDT} - Q_{DDT,typ}) \cdot 2V_{DD}}{2.2I_{Smax}(V_{DD} - V_{THN} - V_{THP})C_{ink}} \\ &= t_{pd,typ} + \frac{V_{DD} - 2V_{TH}}{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})} (Q_{DDT} - Q_{DDT,typ}) \end{aligned} \quad (44)$$

【0080】

パス遅延時間 t_{pd} が許容できる遅延時間の上限値 T' となるときの過渡電源電流の積分値を Q_{max} とすると、式(44)において $t_{pd} = T'$ 、 $Q_{DDT} = Q_{max}$ において Q_{max} を求めると式(45)となる。

【0081】

【数23】

$$Q_{max} = Q_{DDT,typ} + \frac{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{V_{DD} - 2V_{TH}} (T' - t_{pd,typ}) \quad (45)$$

【0082】

この Q_{max} は、遅延故障のないCMOS集積回路の過渡電源電流の積分値 Q_{DDT} の上限値である。すなわち、 Q_{DDT} が Q_{max} より小さいときCMOS集積回路には遅延故障が存在せず、 Q_{DDT} が Q_{max} より大きいときCMOS集積回路に断線故障による遅延故障が存在すると判断することができる。

遅延故障なし、 $Q_{DDT} \leq Q_{max}$

遅延故障あり、 $Q_{DDT} > Q_{max}$ (46)

以上のように、過渡電源電流の積分値 Q_{DDT} を既定値 Q_{max} と比較することにより、回路の遅延故障をテストすることができる。ここで、既定値 Q_{max} は、回路

シミュレーションや統計データから式(45)をもちいて求めることができる。

【0083】

過渡電源電流は、集積回路の電源ピンを流れる過渡電流であり、電圧信号より高い可観測性が保証されている。このため、過渡電源電流をもちいた遅延故障試験方法は、電圧信号をもちいた遅延故障試験方法より、高い遅延故障の可観測性を保証することでできる。例えば、電圧信号をもちいた遅延故障試験方法は、電圧信号が集積回路の出力信号線まで伝搬しなければ遅延故障を検出できないのに対し、過渡電源電流信号をもちいた遅延故障試験方法は、たとえ電圧信号が集積回路の出力信号線まで伝搬しなくても、電圧信号が伝搬したパスの遅延時間に対応するパルス幅をもつ過渡電源電流信号が観測可能であるので、遅延故障を検出することができる。また、これに伴って、過渡電源電流信号をもちいた遅延故障試験方法は、電圧信号を集積回路の出力信号線まで伝搬させる必要がないので、電圧信号を集積回路の出力信号線まで伝搬させる必要がある電圧信号をもちいた従来の遅延故障試験方法に比べ、テストパターン生成の制約が少ない。このため、テストパターン生成を容易にすることができる。極端な例では、たとえテストパターン系列をランダムに選択した場合でも、過渡電源電流信号をもちいた遅延故障試験方法は、選択されたテストパターン系列により活性化されるパスの遅延故障を検出することができる。

故障リスト生成方法（論理ゲート）

つぎに、故障リスト生成方法について説明する。図14に被試験CMOS集積回路の一例を示す。この被試験集積回路は、3つの入力端子I1, I2, I3, 2つの出力端子O1, O2, 3つの内部信号ノードN1, N2, N3, 5つの論理ゲートG1, G2, G3, G4, G5をもち、入力端子I1はインバータ論理ゲートG1の入力側に接続され、その出力側はノードN1を通じてNAND論理ゲートG3の一方の入力側に接続され、入力端子I2, I3はNAND論理ゲートG2の入力側に接続され、その出力側はノードN2を通じて論理ゲートG3の他方の入力側に接続され、その出力側はノードN3を通じてインバータ論理ゲートG4の入力側とNOR論理ゲートG5の一方の入力側に接続され、論理ゲートG5の他方の入力側に入力端子I3が接続され、論理ゲートG4, G5の各出

力側に出力端子 O 2, O 3 が接続されている。また、図に示していないが論理ゲート G 1, G 2, G 3, G 4, G 5 は共通の電源端子に接続されている。

【 0 0 8 4 】

上記被試験 CMOS 集積回路に対しておこなった故障シミュレーション結果の一例を図 1 5 に示す。図 1 5 において、第 1 列はテストパターン系列の識別子を示す。図 1 5 の第 2 列は被試験 CMOS 集積回路の入力端子 I 1, I 2, I 3 にあたえる入力信号（テストパターン系列）を示し、第 3 列は各テストパターン系列をあたえたとき、故障がない被試験 CMOS 集積回路の内部信号ノード N 1, N 2, N 3 に生じる信号を示し、第 4 列は各テストパターン系列をあたえたとき、故障がない被試験 CMOS 集積回路の出力端子 O 1, O 2 に生じる信号を示す。ここで、図 1 5 の第 2, 第 3, 第 4 列における信号 “0”, “1”, “R”, “F” は、それぞれ、常時ローレベルの信号 < “0”, “0” > (< > 内の第 1 要素は初期信号値を示し、第 2 要素は最終信号値を示す)、常時ハイレベルの信号 (< “1”, “1” >)、ローレベルからハイレベルへの立ち上がり信号 (< “0”, “1” >)、ハイレベルからローレベルへの立ち下がり信号 (< “1”, “0” >) を示す。このため、各テストパターン系列は 2 つのテストパターンからなり、例えば、テストパターン系列 T 1 = “0 0 R” は I 1, I 2, I 3 = < “0 0 0”, “0 0 1” > を意味する。つまり “0 0 0” 及び “0 0 1” はそれぞれテストパターンであり、“0 0 0”, “0 0 1” の列はテストパターン系列である。図 1 5 の第 5 列は、各テストパターン系列をあたえたとき過渡電源電流をもちいた試験で検出可能な故障論理ゲートの集合（故障箇所リスト）を示す。

【 0 0 8 5 】

論理ゲートが遅延故障や断線故障をもつとき、論理ゲートのスイッチング動作が遅くなり、これに伴って論理ゲートの過渡電源電流波形が変化するため、被試験集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列をあたえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テストパターン系列によりスイッチング動作を生じる論理ゲートに対し、これらの論理ゲートが故障しているか否かを判別することができる。例えば、図 1 4 に示

す被試験CMOS集積回路にテストパターン系列 T_2 をあたえると、図中に信号状態を示すように被試験CMOS集積回路内の論理ゲート G_2 , G_3 , G_4 , G_5 にスイッチング動作を生じ、内部信号ノード（信号線） N_2 , N_3 および出力端子 O_1 , O_2 に遷移信号が生じる。したがって、論理ゲート G_2 , G_3 , G_4 , G_5 のいずれかに故障が存在するとき、テストパターン系列 T_2 をもちいた過渡電源電流試験において過渡電源電流に異常が観測される。すなわち、テストパターン系列 T_2 をもちいた過渡電源電流試験により、論理ゲート G_2 , G_3 , G_4 , G_5 の故障を検出できる。したがって、テストパターン系列 T_2 に対する故障箇所リスト（故障検出可能ゲートのリスト）は、以上の故障シミュレーションにより $GT_2 = \{G_2, G_3, G_4, G_5\}$ と求めることができる。

故障箇所推定方法（論理ゲート）

つぎに、この発明の故障解析方法の故障箇所推定方法について述べる。例えば、図14に示す被試験CMOS集積回路にテストパターン系列 T_2 , T_4 , T_6 をあたえたとき、すべてのテストパターン系列に対して過渡電源電流が異常を示した場合を考える。図15に示す故障シミュレーション結果より、テストパターン系列 T_2 , T_4 , T_6 によって検出可能な故障論理ゲートの集合、すなわち、故障箇所リストは、それぞれ、 $GT_2 = \{G_2, G_3, G_4, G_5\}$, $GT_4 = \{G_2\}$, $GT_6 = \{G_2, G_3, G_4\}$ であるので、推定される故障論理ゲートは、故障箇所リスト GT_2 , GT_4 , GT_6 の共通要素、すなわち、集合 GT_2 , GT_4 , GT_6 の積集合であらわされる。したがって、

$$GT_2 \cap GT_4 \cap GT_6 = \{G_2\} \quad (47)$$

となり、故障論理ゲートは G_2 であると推定できる。

【0086】

また、この故障論理ゲート G_2 は、テストパターン系列 T_2 の故障箇所リスト $GT_2 = \{G_2, G_3, G_4, G_5\}$ を基準（基準故障箇所リスト）とし、故障箇所リスト GT_6 および GT_4 に含まれない故障箇所（非故障箇所）を基準故障箇所リストから順次削除することによっても推定することができる。はじめに過渡電源電流異常が検出されたテストパターン系列に対する（基準）故障箇所リスト GT_2 を仮定する。

【0087】

 $\{G2, G3, G4, G5\}$

つぎに、基準故障箇所リストGT2からつぎに生成された故障箇所リストGT6に含まれない非故障箇所 $\{G1, G5\}$ を削除する。ここで、非故障箇所のリストは故障箇所集合GT6の補集合($\sim GT6$ と示す)であらわされる。したがって、基準故障箇所リストは、G5を削除することによって、

 $\{G2, G3, G4\}$

となる。つまりGT2中のGT6と一致している要素を残したことになる。同様に、基準故障箇所リストから故障箇所リストGT4に含まれない非故障箇所 $\sim GT4 = \{G1, G3, G4, G5\}$ を削除する。基準故障箇所リストは、

 $\{G2\}$

となり、故障箇所をG2と推定することができる。

【0088】

また、図14に示す被試験CMOS集積回路にテストパターン系列T10をあたえたとき過渡電源電流が異常を示し、テストパターン系列T6をあたえたとき過渡電源電流が異常を示さなかったと仮定する。ここでは、T10を異常テストパターン系列、T6を正常テストパターン系列と呼ぶ。故障シミュレーションの結果より、テストパターン系列T10、T6によって検出可能な故障論理ゲートの集合、すなわち、故障箇所リストは、それぞれ、 $GT10 = \{G1, G3, G4\}$ 、 $GT6 = \{G2, G3, G4\}$ である。ここで、故障箇所リストGT6に含まれる故障箇所を正常箇所と呼ぶ。すなわち、故障論理ゲートは、故障箇所リストGT10内の論理ゲートのいずれかであり、故障箇所リストGT6内の論理ゲートのいずれでもない。したがって、推定される故障論理ゲートは、集合GT10と集合GT6の補集合の積集合であらわされ、
 $GT10 \cap \sim GT6 = \{G1, G3, G4\} \cap \{G1, G5\} = \{G1\}$ (48)
 より、故障論理ゲートはG1であると推定できる。上記作業は、故障箇所リストGT10から故障箇所リストGT6に含まれる正常箇所を削除する作業と等価である。

【0089】

以上により、故障箇所を論理ゲート単位で推定することができる。さらに、この発明の故障解決方法は、論理ゲート単位での故障箇所推定に限定されるものではなく、集積回路内部の信号線に故障を仮定し故障シミュレーションを行なうことにより信号線を単位として故障箇所を推定することもできる。

故障リスト生成方法（内部信号線）

図 1 6 に被試験 CMOS 集積回路を示す。被試験集積回路は、3つの入力端子 I 1, I 2, I 3、2つの出力端子 O 1, O 2、5つの論理ゲート G 1, G 2, G 3, G 4, G 5 をもち、12の信号線 L 1, L 2, …, L 12 をもつ。ここで、信号線には入出力信号線も含むものとし、分岐した信号線はそれぞれ別々の信号線とした。また、出力信号線 L 11, L 12 は出力バッファ G 6, G 7 に接続されているものとする。つまり入力端子 I 1 は信号線 L 1 を通じてインバータ論理ゲート G 1 の入力側に接続され、入力端子 I 2, I 3 はそれぞれ信号線 L 2, L 3, L 4 を通じて NAND 論理ゲート G 2 の入力側に接続され、論理ゲート G 1, G 2 の各出力側は信号線 L 6, L 7 を通じて NAND 論理ゲート G 3 の入力側に接続され、論理ゲート G 3 の出力側は信号線 L 8, L 9 を通じてインバータ論理ゲート G 4 の入力側と、信号線 L 8, L 10 を通じて NOR 論理ゲート G 5 の一方の入力側とに接続され、論理ゲート G 5 の他方の入力側に入力端子 I 3 が信号線 L 3, L 5 を通じて入力側に接続され、論理ゲート G 4 の出力側は信号線 L 11、バッファ G 6 を通じて出力端子 O 1 に接続され、論理ゲート G 5 の出力側は信号線 L 12、バッファ G 7 を通じて出力端子 O 2 に接続される。図に示していないが論理ゲート G 1 ~ G 5 および出力バッファ G 6, G 7 の各電源端子は共通の電源に接続されている。

【 0 0 9 0 】

上記被試験 CMOS 集積回路に対しておこなった故障シミュレーション結果の一例を図 1 7 に示す。図 1 7 において、第 1 列はテストパターン系列の識別子を示す。図 1 7 の第 2 列は被試験 CMOS 集積回路の入力端子 I 1, I 2, I 3 にあたえる入力信号を示し、第 3 列は各テストパターン系列をあたえたとき被試験 CMOS 集積回路の信号線 L 1, L 2, …, L 12 に生じる信号を示し、第 4 列は各テストパターン系列をあたえたとき被試験 CMOS 集積回路の出力端子 O 1

、02に生じる信号を示す。ここで、図17の第2、第3、第4列における信号“0”、“1”、“R”、“F”は、それぞれ、常時ローレベルの信号<“0”、“0”>(<>内の第1要素は初期信号値を示し、第2要素は最終信号値を示す)、常時ハイレベルの信号(<“1”、“1”>)、ローレベルからハイレベルへの立ち上がり信号(<“0”、“1”>)、ハイレベルからローレベルへの立ち下がり信号(<“1”、“0”>)を示す。このため、各テストパターン系列は2つのテストパターンからなり、例えば、テストパターン系列T1=“00R”はI1I2I3=<“000”、“001”>を意味する。図17の第5列は、各テストパターン系列をあたえたとき過渡電源電流をもちいた試験で検出可能な故障信号線の集合、すなわち、故障箇所リストを示す。集積回路内部の信号線が断線故障をもつとき、その故障信号線を入力とする論理ゲートのスイッチング動作が遅くなり、これに伴って論理回路の過渡電源電流波形が変化するため、被試験集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列をあたえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テストパターン系列によりスイッチング動作を生じる信号線に対し、これらの信号線を入力とする論理ゲートがスイッチング動作を生じるとき、これらの論理回路が故障しているか否かを判別することができる。

【0091】

例えば、図16に示した被試験CMOS集積回路にテストパターン系列T6をあたえると図中に各部における信号の0、1を表示しているように、被試験CMOS集積回路内の信号線L2、L7、L8、L9、L10、L11にスイッチングが生じ、さらに被試験CMOS集積回路内の論理ゲートG2、G3、G4および出力バッファG6にスイッチングが生じる。信号線L10はスイッチングが生じるが信号線L10を入力とする論理ゲートG5はスイッチングが生じない。したがって、信号線L2、L7、L8、L9、L11のいずれかに故障が存在するとき、テストパターン系列T6をもちいた過渡電源電流試験において過渡電源電流に異常が観測される。すなわち、テストパターン系列T6をもちいた過渡電源電流試験により、信号線L2、L7、L8、L9、L11の故障を検出できる。したがって、テストパターン系列T6に対する故障箇所リストは、以上の故

障シミュレーションにより $LT6 = \{L2, L7, L8, L9, L11\}$ と求めることができる。

故障箇所推定方法（信号線）

つぎに、この発明の故障解析方法の故障箇所推定方法について述べる。例えば、図16に示す被試験CMOS集積回路にテストパターン系列T1, T2, T4をあたえたとき、すべてのテストパターン系列に対して過渡電源電流が異常を示した場合を考える。故障シミュレーションの結果（図17）より、テストパターン系列T2, T4, T6によって検出可能な故障信号線の集合、すなわち、故障箇所リスト（故障検出可能内部信号線）は、それぞれ、 $LT1 = \{L3, L5, L12\}$, $LT2 = \{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$, $LT4 = \{L3, L4\}$ であるので、推定される故障信号線は、集合 $LT1, LT2, LT4$ の積集合であらわされる。すなわち、

$$LT1 \cap LT2 \cap LT4 = \{L3\} \quad (49)$$

となり、故障信号線はL3であると推定できる。

【0092】

また、この故障信号線L3は、テストパターン系列T2の故障箇所リスト $LT2 = \{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$ を基準（基準故障箇所リスト）とし、故障箇所リストLT1およびLT4に含まれない故障箇所（非故障箇所）を基準故障箇所リストから順次削除することによって推定することができる。はじめに、基準故障箇所リストLT2を仮定する。

$$\{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$$

つぎに、基準故障箇所リストから故障箇所リストLT1に含まれない非故障箇所 $\{L1, L2, L4, L6, L7, L8, L9, L10, L11\}$ を削除する。ここで、非故障箇所のリストは故障箇所集合LT1の補集合（ $\sim LT1$ と示す）であらわされる。したがって、基準故障箇所リストは、L4, L7, L8, L9, L10, L11を削除することによって、

$$\{L3, L5, L12\}$$

となる。同様に、基準故障箇所リストから故障箇所リストLT4に含まれない非故障箇所 $\sim LT4 = \{L1, L2, L5, L6, L7, L8, L9, L10, L$

11, L12} を削除する。基準故障箇所リストは、

{L3}

となり、故障箇所をL3と推定することができる。

【0093】

また、図16に示す被試験CMOS集積回路にテストパターン系列T10をあたえたとき過渡電源電流が異常を示し、テストパターン系列T6およびT12をあたえたときいずれも過渡電源電流が異常を示さなかったと仮定する。ここで、T10を異常テストパターン系列、T6およびT12を正常テストパターン系列と呼ぶ。故障シミュレーションの結果より、テストパターン系列T10, T6, T12によって検出可能な故障信号線の集合、すなわち、故障箇所リストは、それぞれ、 $LT10 = \{L1, L6, L8, L9, L11\}$, $LT6 = \{L2, L7, L8, L9, L11\}$, $LT12 = \{L1\}$ である。ここで、故障箇所リストLT6およびLT12に含まれる故障箇所を正常箇所と呼ぶ。すなわち、故障信号線は、集合LT10内の信号線のいずれかであり、集合LT6内の信号線または集合LT12内の信号線のいずれでもない。したがって、推定される故障信号線は、集合LT10とLT6の補集合($\sim LT6 = \{L1, L3, L4, L5, L6, L10, L12\}$), LT12の補集合($\sim LT12 = \{L2, L3, L4, L5, L6, L7, L8, L9, L10, L11, L12\}$)の積集合であらわされ、

$$LT10 \cap \sim LT6 \cap \sim LT12 = \{L6\} \quad (50)$$

より、故障信号線はL6であると推定できる。上記作業は、故障箇所リストLT10から故障箇所リストLT6およびLT12に含まれる正常箇所を削除する作業と等価である。

【0094】

以上により、故障箇所を信号線単位で推定することができる。さらに、この発明の故障解析方法は、論理ゲートを接続する信号線単位での故障箇所推定に限定されるものではなく、論理ゲート内部の信号線に故障を仮定し故障シミュレーションを行なうことにより論理ゲート内部の信号線に対しても故障箇所を推定することもできる。

さらに信号伝搬パスを単位として故障箇所を推定することもできる。その場合の故障リストの生成を以下に述べる。論理シミュレーションの結果が記憶されている記憶装置の記憶内容から、各テストパターン系列ごとに、各信号伝搬パス上の各部がすべてスイッチングしているか否かを調べ、すべてスイッチングしていれば、そのテストパターン系列と、その信号伝搬パスとを故障リストに登録する。つまり例えば論理ゲート単位の論理シミュレーションでは、図 1 4 に示した半導体集積回路の場合には、各テストパターン系列に対し、図 1 5 に示したように各入力端子、各内部ノード、各出力端子が変化する。よって例えば信号伝搬パスが< I 1, N 1, N 3, O 1 > の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列 T 9 に対し、I 1 が R、N 1 が F、N 3 が R、O 1 が F であり、このパス上のすべての各部がスイッチングする。またテストパターン系列 T 1 0, T 1 1 に対しても I 1 が R、N 1 が F、N 3 が R、O 1 が F であり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 1, N 1, N 3, O 1 > に対し、テストパターン系列 T 9, T 1 0, T 1 1 を登録し、又はテストパターン系列 T 9, T 1 0, T 1 1 のそれぞれに対し、パス< I 1, N 1, N 3, O 1 > を登録する。同様にして例えば内部信号線単位の論理シミュレーションでは、図 1 6 に示した半導体集積回路の場合には、各テストパターン系列に対し、図 1 7 に示したように、各入力端子、各内部信号線、各出力端子が変化する。よって例えば信号伝搬パスが< I 3, L 3, L 5, L 1 2, O 2 > の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列 T 1 に対し、I 3 が R、L 3 が R、L 5 が R、L 1 2 が F、O 2 が F であり、このパス上の全ての各部がスイッチングする。またテストパターン系列 T 2 に対しても I 3 が R、L 3 が R、L 5 が R、L 1 2 が F、O 2 が F であり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 3, L 3, L 5, L 1 2, O 2 > に対し、テストパターン系列 T 1, T 2 を登録し、又はテストパターン系列 T 1, T 2 に対してパス< I 3, L 3, L 5, L 1 2, O 2 > をそれぞれ登録する。ここで、故障リストに登録される信号伝搬パスは、被試験回路の入力端子から出力端子まで到達するパスに限定されるものではなく、例えば図 1 6 に示した半導体集積回路の< I 1, N 1 >、ま

たは図16に示した半導体集積回路の<I1, L1, L6>のように出力端子まで到達しない信号伝搬パスを対象とすることもできる。

【0095】

このようにして、故障が起こり得る信号伝搬パスの全てについて、故障リストを作る。図14に示した半導体集積回路について論理ゲートがスイッチングするかの論理シミュレーションを行なった場合の故障リストは図39に示すようになり、図16に示した半導体集積回路について内部信号線がスイッチングするかの論理シミュレーションを行なった場合の故障リストは図40に示すようになる。

この信号伝搬パス単位で故障箇所を推定する方法としては、先に論理ゲート単位、信号線単位での故障箇所の推定と同様の手法をもちいることができる。図14に示す被試験CMOS集積回路にテストパターン系列T9、T10をあたえたとき、両テストパターン系列に対して過渡電源電流が異常を示した場合はテストパターン系列T9の故障箇所リストは<I1, N1, N3, O1>, <I1, N1, N3, O2>であり、テストパターン系列T10の故障箇所リストは<I1, N1, N3, O1>である。これら両故障箇所リスト中の共通要素<I1, N1, N3, O1>が故障信号伝搬パスと推定される。

【0096】

あるいは、テストパターン系列T9の故障箇所リスト（基準故障箇所リスト）<I1, N1, N3, O1>, <I1, N1, N3, O2>から、テストパターン系列T10の故障箇所リスト<I1, N1, N3, O1>に含まれない故障箇所（非故障箇所）<I3, O2>, <I3, N2, N3, O1>, <I3, N2, N3, O2>, <I2, N2, N3, O1>, <I1, N1, N3, O2>を除去し、残った<I1, N1, N3, O1>を故障信号伝搬パスと推定する。

【0097】

またテストパターン系列T9に対しては過渡電源電流が異常を示したが、テストパターン系列T10に対しては過渡電源電流が異常を示さなかったと仮定する。この場合、異常が生じたテストパターン系列T9の故障箇所リスト<I1, N1, N3, O1>, <I1, N1, N3, O2>から、正常であったテストパターン系列T10の故障箇所リスト<I1, N1, N3, O1>を削除して<I1

， N 1 ， N 3 ， O 2 〉を故障信号パスと推定する。

【 0 0 9 8 】

さらに、この発明の故障解析方法は C M O S 集積回路に限定されるものではなく、他のタイプの半導体集積回路にも適用することができる。

【 0 0 9 9 】

【発明の実施の形態】

以下、この発明の実施例について説明する。

図 1 8 はこの発明の実施例で使用される故障解析装置の構成の一例を示している。この故障解析装置 1 0 0 は、被試験半導体集積回路 D U T の入力端子に 2 つ以上のテストパターンからなるテストパターン系列を入力するテストパターン系列入力手段 1 0 1 と、上記テストパターン系列を入力したときに発生する上記被試験半導体集積回路 D U T の過渡電源電流を測定し、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験手段 1 0 2 と、上記被試験半導体集積回路 D U T の過渡電源電流が異常を示す複数のテストパターン系列を格納しておく異常パターン系列記憶手段 1 0 3 と、上記被試験半導体集積回路 D U T の過渡電源電流が異常を示さない複数のテストパターン系列を格納しておく正常パターン系列記憶手段 1 0 4 と、上記異常パターン系列記憶手段 1 0 3 および上記正常パターン系列記憶手段 1 0 4 に格納された各テストパターン系列に対し故障シミュレーションを行ない、上記テストパターン系列とそのテストパターン系列にて検出される故障推定箇所のリストを作成する故障箇所リスト生成手段 1 0 5 と、上記故障箇所リスト生成手段 1 0 5 から得られた 1 以上の故障推定箇所リストをもとに上記被試験半導体集積回路 D U T 内部の故障箇所を推定する故障箇所推定手段 1 0 6 と、によって構成されている。テストパターン系列入力手段 1 0 1 は、汎用のデジタル・データ発生器、例えば、ソニー・テクトロニクス株式会社製のデータ・タイム・ジェネレータ H F S 9 0 0 9 (メインフレーム)、H F S 9 D G 2 (データ・タイム・ジェネレータ・モジュール)でもよいし、集積回路自動試験装置 (A T E)、例えば、株式会社アドバンテスト製のロジック・テスト T 6 6 7 1 E のパターンジェネレータ、あるいはランダムパターン発生器でもよい。

過渡電源電流試験（パルス幅）

図 1 9 は、この発明の実施例で使用される過渡電源電流試験手段 1 0 2 の構成の一例を示している。この過渡電源電流試験手段 1 0 2 a は、被試験半導体集積回路 D U T に電流を供給する電源 2 0 1 と、テストパターン系列入力手段 1 0 1 が出力したテストパターン系列により生じる過渡電源電流波形 I_{DDT} を測定する過渡電源電流波形測定器 2 0 2 と、過渡電源電流波形測定器 2 0 2 によって測定された電源電流波形 I_{DDT} のパルス幅を測定し、被試験パスの信号伝搬遅延時間を求める遅延時間評価器 2 0 3 と、遅延時間評価器 2 0 3 から得られた遅延時間を既定の値と比較し、故障の有無を決定する故障検出器 2 0 4 と、によって構成されている。電源 2 0 1 は、汎用の安定化電源、例えば、株式会社アドバンテスト製の電圧／電流発生器 R 6 1 4 4 でもよいし、集積回路自動試験装置（A T E）、例えば、株式会社アドバンテスト製のロジック・テスタ T 6 6 7 1 E のプログラム可能なデバイス電源（programable power supply, PPS）でもよいし、容量の大きなコンデンサでもよい。ただし、電源 2 0 1 には電流応答が高速なものが望まれ、電源 2 0 1 はデバイスの直近に配置するのが好ましい。過渡電源電流波形測定器 2 0 2 は以下に述べるように図 2 0 に示すように構成することもできるし、図 2 1 に示すように構成することもできる。

【 0 1 0 0 】

つまり図 2 0 はこの発明の実施例で使用される過渡電源電流波形測定器 2 0 2 の構成の一例を示している。この過渡電源電流波形測定器 2 0 2 a は、被試験回路 D U T の電源端子の間に流れる電流波形を検出して電圧波形に変換する電流センサ 3 0 1 と、電流センサ 3 0 1 により変換された電圧波形を測定する波形測定器 3 0 2 と、によって構成されている。電流センサ 3 0 1 は、電源 2 0 1 と D U T 間に接続された電源ラインのまわりの磁界の変化を利用して過渡電源電流波形を電圧波形に変換する。誘導型電流センサでもよいし、電源ラインに、抵抗値の小さな抵抗素子を直列に挿入し、抵抗素子に流れる過渡電源電流波形をオームの法則に従って抵抗素子の両端の電圧変化に変換する、抵抗型電流センサでもよい。ただし、過渡電源電流波形に電源ラインのインダクタンス成分によるリングングが生じないように、電流センサ 3 0 1 は小型のものが望ましい。波形測定器 3

02は、オシロスコープ、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープTDS784Aでもよいし、集積回路自動試験装置（ATE）、例えば、株式会社アドバンテスト製のロジック・テストT6671Eのデジタイザでもよい。

【0101】

図21はこの発明の実施例で使用される過渡電源電流波形測定器202の構成の別の一例を示している。この過渡電源電流波形測定器202bは、電源ラインに直列に挿入された切断するスイッチ401と、スイッチ401と被試験回路DUTの接続点及び接地間に接続され、被試験回路DUTに電流を供給するコンデンサ402と、コンデンサ402の被試験回路DUT側の端子の電圧変化 $v(t)$ を測定する波形測定器403と、波形測定器403によって測定された電圧波形 $v(t)$ を時間微分する波形微分器404と、によって構成されている。被試験回路DUTが過渡状態のときコンデンサ402から被試験回路DUTに流れ込む電流、すなわち過渡電源電流 I_{DDT} は、コンデンサ402の容量を C とし、コンデンサ402の被試験回路DUT側の端子の電圧を $v(t)$ とすると、

【0102】

【数24】

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad (51)$$

【0103】

とあらわされる。したがって、コンデンサ402の電圧波形 $v(t)$ を時間微分することにより、被試験回路DUTを流れる過渡電源電流波形を求めることができる。ここで、スイッチ401は、電源ラインの容量成分やインダクタンス成分を切り離し、被試験回路DUTに流れ込むすべての電流をコンデンサ402から供給するためにもちいられる。波形測定器403は、オシロスコープ、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープTDS784Aでもよいし、集積回路自動試験装置（ATE）、例えば、株式会社アドバンテスト製のロジック・テストT6671Eのデジタイザでもよい。波形微分器404

は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

【0104】

遅延時間評価器 203 及び故障検出器 204 はハードウェアで構成してもよいし、ソフトウェアで構成してもよい。

つぎに、この過渡電源電流試験手段 102a を使用して半導体集積回路の試験を行なう場合の動作を説明する。図 22 はこの発明の過渡電源電流試験方法の処理手順を示している。テストパターン系列入力手段 101 は、ステップ 501 において、被試験回路 DUT を活性化するテストパターン系列を入力する。ステップ 502 において、過渡電源電流波形測定器 202 が、電源から被試験回路 DUT の電源ピンに流れ込む電源電流の過渡応答波形 I_{DDT} を測定する。つぎに、ステップ 503 において、遅延時間評価器 203 が、被試験パスの遅延時間を求めるために、過渡電源電流波形測定器 202 によって測定された過渡電源電流波形 I_{DDT} のパルス幅を測定する。最後に、ステップ 504 において、故障検出器 204 が、遅延時間評価器 203 によって求められた過渡電源電流波形 I_{DDT} のパルス幅を既定の値と比較し、比較の結果が故障の検出条件を満たした場合、ステップ 505 において“故障あり”と判断し、比較の結果が故障の検出条件を満たさない場合、ステップ 506 において“故障なし”と判断して、処理を終了する。ここで、電源 201 は、半導体集積回路試験の処理中、すなわち、ステップ 501, 502, 503, 504, 505, 506 のすべてにわたり、被試験回路 DUT に指定された電圧、例えば、3.3V を常に供給している。また、テストパターン系列を入力するステップ 501 と、過渡電源電流波形を測定するステップ 502 は、ほぼ同時に行なわれる。さらに、過渡電源電流波形を測定するステップ 502 において、単一測定によって測定することもできるし、測定を複数回繰り返すこともできる。単一測定の場合は、テストパターン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複数回繰り返して入力される。その際、テストパターン系列を入力するごとに初期状態とし、つまり、コンデンサ 402 をもちいる場合は、その都度コンデンサ 402 に充電を行う。

過渡電源電流試験（瞬時値）

図 23 は、この発明の実施例で使用される過渡電源電流試験手段 102 の構成

の別の一例を示している。この過渡電源電流試験手段 1 0 2 b は、被試験半導体集積回路 D U T に電流を供給する電源 2 0 1 と、テストパターン系列入力手段 1 0 1 が出力したテストパターン系列により生じる過渡電源電流のある既定の時刻 τ における瞬時値 $i_{DDT}(\tau)$ を測定する過渡電源電流瞬時値測定器 6 0 2 と、過渡電源電流瞬時値測定器 6 0 2 によって測定された過渡電源電流値 $i_{DDT}(\tau)$ を既定の電流値 I' と比較し、遅延故障の有無を決定する故障検出器 6 0 3 と、によって構成されている。電源 2 0 1 は、図 1 9 でもちいた場合と同様のものをもちいる。過渡電源電流瞬時値測定器 6 0 2 は、図 2 4 に示すように構成することもできるし、図 2 5 に示すように、構成することもできる。故障検出器 6 0 3 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

【 0 1 0 5 】

図 2 4 はこの発明の実施例で使用される過渡電源電流瞬時値測定器 6 0 2 の構成の一例を示している。この過渡電源電流瞬時値測定器 6 0 2 a は、図 2 0 に示した過渡電源電流波形測定器 2 0 2 中の波形測定器 3 0 2 の代りに電流センサ 3 0 1 により変換された電圧値を測定する測定器 7 0 2 がもちいられて構成されている。測定器 7 0 2 は、デジタル・マルチメータ、例えば、株式会社アドバンテスト製のデジタル・マルチメータ R 6 5 8 1 でもよいし、オシロスコープ、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープ T D S 7 8 4 A でもよいし、集積回路自動試験装置 (A T E)、例えば、株式会社アドバンテスト製のロジック・テスタ T 6 6 7 1 E のデジタイザでもよい。

【 0 1 0 6 】

図 2 5 はこの発明の実施例で使用される過渡電源電流瞬時値測定器 6 0 2 の構成の別の一例を示している。この過渡電源電流瞬時値測定器 6 0 2 b は、図 2 1 に示した過渡電源電流波形測定器 2 0 2 b 中の波形測定器 4 0 3 と波形微分器 4 0 4 の代りに、コンデンサ 4 0 2 の被試験回路 D U T 側の端子の電圧波形 $v(t)$ の瞬時微分値を測定する微分測定器 8 0 3 をもちいて構成されている。被試験回路 D U T が過渡状態のときコンデンサ 4 0 2 から被試験回路 D U T に流れ込む電流、即ち過渡電源電流 I_{DDT} は、式 (5 1) と同様に

【 0 1 0 7 】

【数 2 5】

$$I_{DOT} = -C \frac{dv(t)}{dt} \quad (52)$$

【 0 1 0 8 】

とあらわされる。したがって、コンデンサ 4 0 2 の電圧波形 $v(t)$ のある時刻 τ における時間微分値を測定することにより、被試験回路 DUT を流れる過渡電源電流の瞬時値 $i_{DDT}(\tau)$ を求めることができる。ここで、電圧波形 $v(t)$ の時刻 τ における瞬時微分値を求めるには、次式に示すように、時刻 τ の近傍で極短い時間間隔 Δt で $v(t)$ の瞬時値を測定し、測定値の差を時間間隔 Δt で割ることにより求めることができる。より正確な瞬時微分値を得るためには、 Δt は可能な限り小さい方が望ましい。

【 0 1 0 9 】

【数 2 6】

$$\left. \frac{dv(t)}{dt} \right|_{t=\tau} = \frac{v(\tau + \Delta t) - v(\tau)}{\Delta t} \quad (53)$$

【 0 1 1 0 】

また、スイッチ 4 0 1 は、電源ラインの容量成分やインダクタンス成分を切り離し、被試験回路 DUT に流れ込むすべての電流をコンデンサ 4 0 2 から供給するためにもちいられる。微分測定器 8 0 3 は、デジタル・マルチメータ、例えば、株式会社アドバンテスト製のデジタル・マルチメータ R 6 5 8 1 でも実現できるし、オシロスコープ、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープ TDS 7 8 4 A でも実現できるし、集積回路自動試験装置 (ATE)、例えば、株式会社アドバンテスト製のロジック・テスタ T 6 6 7 1 E のデジタイザでも実現できる。

【 0 1 1 1 】

つぎに、この過渡電源電流試験手段 1 0 2 b を使用して半導体集積回路の試験

を行なう場合の動作を説明する。図 2 6 はこの発明の過渡電源電流試験方法の処理手順を示している。テストパターン系列入力手段 1 0 1 は、ステップ 9 0 1 において、被試験パスを活性化するテストパターン系列を入力する。つぎに、ステップ 9 0 2 において、過渡電源電流瞬時値測定器 6 0 2 が、電源から被試験回路の電源ピンに流れ込む過渡電源電流のある既定の時刻 τ における瞬時値 $i_{DDT}(\tau)$ を測定する。ここで τ は、先に述べたように例えば、入力遷移の時刻 τ_0 と許容される遅延時間の最大値 T' から $\tau = T' + \tau_0$ と求めることができる。最後に、ステップ 9 0 3 において、故障検出器 6 0 3 が、過渡電源電流瞬時値測定器 6 0 2 によって求められた過渡電源電流の瞬時値 $i_{DDT}(\tau)$ を既定の値、例えば、故障のない回路において最後にスイッチングする論理ゲート G_{final} の出力遷移時刻 τ_{max} における電源電流の典型値 I' ($= i_{DDT}(\tau_{max})$) と比較し、比較の結果が故障の検出条件を満たした場合、ステップ 9 0 4 において“故障あり”と判断し、比較の結果が故障の検出条件を満たさない場合、ステップ 9 0 5 において“故障なし”と判断して、処理を終了する。ここで、電源 2 0 1 は、遅延故障試験の処理中、即ち、ステップ 9 0 1, 9 0 2, 9 0 3, 9 0 4, 9 0 5 のすべてにわたり、被試験回路 DUT に指定された電圧、例えば、3.3 V を常に供給している。また、テストパターン系列を入力するステップ 9 0 1 と、過渡電源電流の瞬時値を測定するステップ 9 0 2 は、ほぼ同時に行なわれる。さらに、過渡電源電流の瞬時値を測定するステップ 9 0 2 において、単一測定によって測定することもできるし、測定精度を向上させるために、測定を複数回繰り返し、平均値を測定することもできる。単一測定の場合は、テストパターン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複数回繰り返して入力される。

過渡電源電流試験（積分値）

図 2 7 はこの発明の実施例で使用される過渡電源電流試験手段 1 0 2 の構成の別の一例を示している。この過渡電源電流試験手段 1 0 2 c は、被試験回路 DUT に電流を供給する電源 2 0 1 と、テストパターン系列入力手段 1 0 1 が出力したテストパターン系列により生じる過渡電源電流のある既定の時間間隔における積分値 Q_{DDT} を測定する過渡電源電流積分値測定器 1 0 0 2 と、過渡電源電流積

分値測定器 1 0 0 2 によって測定された過渡電源電流値 Q_{DDT} を既定値と比較し、故障の有無を決定する故障検出器 1 0 0 3 と、によって構成されている。電源 2 0 1 は、図 1 の例で使用したものと同様のものである。過渡電源電流積分値測定器 1 0 0 2 は、図 2 8 に示すように、電流センサ 3 0 1 と、波形測定器 3 0 2 と、電流積分器 1 1 0 3 と、で構成することもできるし、図 2 9 に示すように、スイッチ 4 0 1 と、コンデンサ 4 0 2 と、測定器 1 2 0 3 と、で構成することもできる。故障検出器 1 0 0 3 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

【 0 1 1 2 】

図 2 8 はこの発明の実施例で使用される過渡電源電流積分値測定器 1 0 0 2 の構成の一例を示している。この過渡電源電流積分値測定器 1 0 0 2 a は、図 2 0 に示した場合と同様に電流センサ 3 0 1 により変換された電圧波形が波形測定器 3 0 2 により測定され、この例では波形測定器 1 1 0 2 によって測定された電流波形のある規定の時間における積分値が電流積分器 1 1 0 3 によって算出される。電流積分器 1 1 0 3 は、ハードウェアで構成してもよいし、ソフトウェアで構成してもよい。

【 0 1 1 3 】

図 2 9 はこの発明の実施例で使用される過渡電源電流積分値測定器 1 0 0 2 の構成の別の一例を示している。この過渡電源電流積分値測定器 1 0 0 2 b は、図 2 1 に示した場合と同様に被試験回路 D U T が過渡状態のときコンデンサ 4 0 2 から被試験回路 D U T に流れ込む電流、即ち過渡電源電流 I_{DDT} は、

【 0 1 1 4 】

【 数 2 7 】

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad (54)$$

【 0 1 1 5 】

とあらわされる。従って、過渡電源電流の積分値 Q_{DDT} は、

【 0 1 1 6 】

【数 2 8】

$$\begin{aligned}
 Q_{DDT} &= \int_{-\infty}^{\infty} I_{DDT} dt \\
 &= -C \int_{-\infty}^{\infty} \frac{dv(t)}{dt} dt = -C[v(t)]_{-\infty}^{\infty} = C[v(-\infty) - v(\infty)]
 \end{aligned}
 \tag{55}$$

【0 1 1 7】

となる。ここで、 $v(-\infty)$ および $v(\infty)$ は、それぞれコンデンサ 4 0 2 の電圧の初期値と最終値を示す。即ち、ある規定の時間におけるコンデンサ 4 0 2 の電圧の初期値と最終値を測定し、その差を算出することにより、被試験回路 D U T を流れる過渡電源電流の積分値 Q_{DDT} を求めることができる。ここで、コンデンサ 4 0 2 の電圧の初期値 $v(-\infty)$ は被試験パスの入力信号線に信号遷移が生じる直前に測定し、コンデンサ 4 0 2 の電圧の最終値 $v(\infty)$ は被試験パス上のすべての論理ゲートがスイッチングし、電源電流が静止電源電流 (I_{DDQ}) 値となった直後に測定することが望ましい。ただし、電源電流が I_{DDQ} 値となる時刻を特定することは困難であるため、コンデンサ 4 0 2 の電圧の最終値 $v(\infty)$ はテストパターン系列を入力してから十分な時間が経過した時刻に測定してもよい。これら電圧 $v(-\infty)$, $v(\infty)$ を測定する測定器 1 2 0 3 は、デジタル・マルチメータ、例えば、株式会社アドバンテスト製のデジタル・マルチメータ R 6 5 8 1 でも実現できるし、オシロスコープ、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープ T D S 7 8 4 A でも実現できるし、集積回路自動試験装置 (A T E)、例えば、株式会社アドバンテスト製のロジック・テスタ T 6 6 7 1 E のデジタイザでも実現できる。

【0 1 1 8】

つぎに、この過渡電源電流試験手段 1 0 2 c を使用して半導体集積回路の試験を行なう場合の動作を説明する。図 3 0 はこの発明の過渡電源電流試験方法の処理手順を示している。テストパターン系列入力手段 1 0 1 は、ステップ 1 3 0 1 において、被試験パスを活性化するテストパターン系列を入力する。つぎに、ステップ 1 3 0 2 において、過渡電源電流積分値測定器 1 0 0 2 が、電源から被試験回路 D U T の電源ピンに流れ込む過渡電源電流のある既定の時間 T における積

分値 Q_{DDT} を測定する。ここで T は、例えば、入力遷移の直前の時刻 $\tau(-\infty)$ から被試験回路が十分安定する時刻 $\tau(\infty)$ までとする。最後に、ステップ1303において、故障検出器1003が、過渡電源電流積分値測定器1002によって求められた過渡電源電流の積分値 Q_{DDT} を既定の値と比較し、比較の結果が故障の検出条件を満たした場合、ステップ1304において“故障あり”と判断し、比較の結果が故障の検出条件を満たさない場合、ステップ1305において“故障なし”と判断して、処理を終了する。ここで、電源201は、半導体集積回路試験の処理中、即ち、ステップ1301、1302、1303、1304、1305のすべてにわたり、被試験回路に指定された電圧、例えば、3.3Vを常に供給している。また、テストパターン系列を入力するステップ1301と、過渡電源電流の積分値を測定するステップ1302は、ほぼ同時に行なわれる。さらに、過渡電源電流の積分値を測定するステップ1302において、単一測定によって測定することもできるし、測定精度を向上させるために、測定を複数回繰り返し、平均値を測定することもできる。単一測定の場合は、テストパターン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複数回繰り返して入力される。

故障解析

つぎに、上記故障解析装置100を使用して半導体集積回路の故障解析を行なう場合の動作を説明する。図31はこの発明の故障解析方法を処理手順を示している。テストパターン系列入力手段101は、ステップ1401において、あらかじめ用意されたテストパターン系列群からテストパターン系列を1つ取得し、被試験回路DUTに入力する。被試験回路DUTに入力されたテストパターン系列は、同時に過渡電源電流試験手段102にも転送される。つぎに、ステップ1402において、過渡電源電流試験手段102が、電源から被試験回路の電源ピンに流れ込む過渡電源電流を測定し、被試験回路DUTを試験する。つぎに、過渡電源電流試験手段102は、ステップ1403において、過渡電源電流試験の結果を解析し、過渡電源電流に異常が観測されたならば、ステップ1404において、試験にもちいたテストパターン系列を異常パターン系列記憶手段103に格納し、過渡電源電流に異常が観測されなかったならば、ステップ1405にお

いて、試験にもちいたテストパターン系列を正常パターン系列記憶手段 1 0 4 に格納する。つぎに、故障解析装置 1 0 0 は、ステップ 1 4 0 6 において、上記テストパターン系列群に処理されていないテストパターン系列が存在するか否かを確認し、処理されていないテストパターン系列が存在するならば、上記ステップ 1 4 0 1, 1 4 0 2, 1 4 0 3, 1 4 0 4, 1 4 0 5 を繰り返し、処理されていないテストパターン系列が存在しないならば、ステップ 1 4 0 7 に移行する。つぎに、ステップ 1 4 0 7 において、故障箇所リスト生成手段 1 0 5 が、異常パターン系列記憶手段 1 0 3 および正常パターン系列記憶手段 1 0 4 に格納されたテストパターン系列に対し故障シミュレーションを行って故障検出可能箇所のリスト（故障箇所リスト）を生成する。そのテストパターン系列を異常のない被試験回路に入力した時に、その被試験回路の内部で信号の論理値が変化する箇所がどこかを論理シミュレーションを行い、その論理値が変化する箇所から故障検出可能箇所を求める。つぎに、故障箇所推定手段 1 0 6 が、ステップ 1 4 0 8 において、故障箇所リスト生成手段 1 0 5 により生成された故障箇所リストをもとに、先に図 1 4 乃至図 1 7 を参照して述べた手法により故障箇所の推定を行なう。つぎに、ステップ 1 4 0 9 において、故障箇所の推定結果が十分であるか否かを確認する。被試験回路 DUT が複雑な場合は故障箇所を単一の箇所まで絞り込むことが困難である場合がある。その場合、推定故障箇所の数が例えば 1 0 箇所であれば、これらを例えば電子ビームテストで比較的簡単（短時間）に検査できるため、故障箇所の推定結果が十分であるといえる。つまり、ステップ 1 4 0 9 においては、推定故障箇所の数をある所定の数まで絞り込んだか否かを確認し、故障箇所推定結果が十分でなければ、ステップ 1 4 1 0 に移行し、故障箇所推定結果が十分であれば、処理を終了する。故障箇所推定結果が十分でないとき、故障解析装置 1 0 0 は、ステップ 1 4 1 0 において、上記異常パターン系列記憶手段 1 0 3 および上記正常パターン系列記憶手段 1 0 4 に処理されていないテストパターン系列が存在するか否かを確認し、処理されていないテストパターン系列が存在するならば、ステップ 1 4 0 7, 1 4 0 8 を繰り返し、処理されていないテストパターン系列が存在しないならば、処理を終了する。ここで、ステップ 1 4 0 2 の過渡電源電流試験に、図 2 2、図 2 6、図 3 0 のいずれか 1 つの方法をもちい

ることができる。

【 0 1 1 9 】

図 3 2 はこの発明の故障解析方法の別の処理手順を示している。テストパターン系列入力手段 1 0 1 は、ステップ 1 5 0 1 において、あらかじめ用意されたテストパターン系列群からテストパターン系列を 1 つ取得し、被試験回路 D U T に入力する。被試験回路 D U T に入力されたテストパターン系列は、同時に過渡電源電流試験手段 1 0 2 にも転送される。つぎに、ステップ 1 5 0 2 において、過渡電源電流試験手段 1 0 2 が、電源から被試験回路 D U T の電源ピンに流れ込む過渡電源電流を測定し、被試験回路 D U T を試験する。つぎに、過渡電源電流試験手段 1 0 2 は、ステップ 1 5 0 3 において、過渡電源電流試験の結果を解析し、過渡電源電流に異常が観測されたならば、ステップ 1 5 0 4 において、試験にもちいたテストパターン系列を異常パターン系列記憶手段 1 0 3 に格納し、過渡電源電流に異常が観測されなかったならば、ステップ 1 5 0 5 において、試験にもちいたテストパターン系列を正常パターン系列記憶手段 1 0 4 に格納する。つぎに、ステップ 1 5 0 6 において、故障箇所リスト生成手段 1 0 5 が、上記過渡電源電流試験でもちいられた異常パターン系列記憶手段 1 0 3 または正常パターン系列記憶手段 1 0 4 に格納されたテストパターン系列に対し故障箇所リストを生成する。つぎに、故障箇所推定手段 1 0 6 が、ステップ 1 5 0 7 において、故障箇所リスト生成手段により生成された故障箇所リストをもとに故障箇所の推定を行なう。つぎに、ステップ 1 5 0 8 において、故障箇所の推定結果が十分であるか否かを確認し、故障箇所推定結果が十分でなければ、ステップ 1 5 0 9 に移行し、故障箇所推定結果が十分であれば、処理を終了する。故障箇所推定結果が十分でないとき、故障解析装置 1 0 0 は、ステップ 1 5 0 9 において、上記テストパターン系列群に処理されていないテストパターン系列が存在するか否かを確認し、処理されていないテストパターン系列が存在するならば、上記ステップ 1 5 0 1, 1 5 0 2, 1 5 0 3, 1 5 0 4, 1 5 0 5, 1 5 0 6, 1 5 0 7, 1 5 0 8 を繰り返し、処理されていないテストパターン系列が存在しないならば、処理を終了する。ここで、ステップ 1 5 0 2 の過渡電源電流試験に、図 2 2、図 2 6、図 3 0 のいずれか 1 つの方法をもちいることができる。この図 3 2 示した故

障解析方法におけるステップ 1 5 0 7 での故障箇所の推定は、先に述べた最初の異常に基づく基準故障箇所リストから、その後に生じた異常に基づく故障リストにない要素を除去してゆく方法が適する。

故障箇所推定

図 3 3 はこの発明の実施例で使用される故障箇所推定手段 1 0 6 の構成の一例を示している。この故障箇所推定手段 1 0 6 a は、異常パターン系列記憶手段 1 0 3 に格納された過渡電源電流が異常を示す複数の異常テストパターン系列に対して、故障箇所リスト生成手段 1 0 5 で生成された複数の故障箇所リストを格納する故障箇所リスト記憶手段 1 6 0 1 と、故障箇所リスト記憶手段 1 6 0 1 に格納された複数の故障箇所リストに共通に含まれる故障箇所を推定する共通故障箇所推定手段 1 6 0 2 と、によって構成されている。故障箇所リスト記憶手段 1 6 0 1 は、ハードディスクやメモリのような物理的記憶媒体でもよいし、メモリ上に構築された仮想的記憶手段でもよい。共通故障箇所推定手段 1 6 0 2 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。この図 3 3 の例では正常パターン系列記憶手段 1 0 4 を省略できる。

【 0 1 2 0 】

つぎに、上記故障箇所推定手段 1 0 6 a を使用して故障箇所の推定を行なう場合の動作を説明する。図 3 4 はこの発明の故障箇所推定方法の処理手順を示している。はじめに、ステップ 1 7 0 1 において、故障箇所リスト生成手段 1 0 5 が、異常パターン系列記憶手段 1 0 3 に格納された異常テストパターン系列を 1 つ取得する。つぎに、ステップ 1 7 0 2 において、故障箇所リスト生成手段 1 0 5 が、ステップ 1 7 0 1 で取得した異常テストパターン系列に対し故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 1 7 0 3 において、故障箇所リスト生成手段 1 0 5 によって生成された故障箇所リストを故障箇所リスト記憶手段 1 6 0 1 に転送し、格納する。つぎに、ステップ 1 7 0 4 において、上記異常パターン系列記憶手段 1 0 3 に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するならば、ステップ 1 7 0 1, 1 7 0 2, 1 7 0 3 を繰り返し、処理されていない異常テストパターン系列が存在しないならば、ステップ 1 7 0 5 に移

行する。最後に、ステップ 1 7 0 5 において、共通故障箇所推定手段 1 6 0 2 が、上記故障箇所リスト記憶手段 1 6 0 1 に格納されたすべての故障リストに共通の故障箇所を推定し、処理を終了する。ここで、この故障箇所推定方法によって、図 3 1 のステップ 1 4 0 7, 1 4 0 8 および図 3 2 のステップ 1 5 0 6, 1 5 0 7 を置き換えてもよい。

【 0 1 2 1 】

図 3 5 はこの発明の実施例で使用される故障箇所推定手段 1 0 6 の構成の別の一例を示している。この故障箇所推定手段 1 0 6 b は、異常パターン系列記憶手段 1 0 3 に格納された最初に過渡電源電流が異常を示した異常テストパターン系列に対して、故障箇所リスト生成手段 1 0 5 で生成された基準故障箇所リストを格納する基準故障箇所リスト記憶手段 1 8 0 1 と、上記異常パターン系列記憶手段 1 0 3 に格納された基準故障箇所リスト生成にもちいられたテストパターン系列以外の複数の異常テストパターン系列に対して、故障箇所リスト生成手段 1 0 5 で生成された故障箇所リストをもちいて、基準故障箇所リスト記憶手段 1 8 0 1 に格納された基準故障箇所リストから上記故障箇所リストに含まれる故障箇所以外の故障箇所（非故障箇所）を削除する非故障箇所削除手段 1 8 0 2 と、によって構成されている。基準故障箇所リスト記憶手段 1 8 0 1 は、ハードディスクやメモリのような物理的記憶媒体でもよいし、メモリ上に構築された仮想的記憶手段でもよい。非故障箇所削除手段 1 8 0 2 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。この図 3 5 の例では正常パターン系列記憶手段 1 0 4 を省略できる。

【 0 1 2 2 】

つぎに、上記故障箇所推定手段 1 0 6 b を使用して故障箇所の推定を行なう場合の動作を説明する。図 3 6 はこの発明の故障箇所推定方法の処理手順を示している。はじめに、ステップ 1 9 0 1 において、故障箇所リスト生成手段 1 0 5 が、異常パターン系列記憶手段 1 0 3 に格納された最初に過渡電源電流が異常を示した異常テストパターン系列を取得する。つぎに、ステップ 1 9 0 2 において、故障箇所リスト生成手段 1 0 5 が、ステップ 1 9 0 1 で取得した異常テストパターン系列に対し故障シミュレーションを行ない、基準故障箇所リストを生成する

。つぎに、ステップ1903において、故障箇所リスト生成手段105によって生成された故障箇所リストを基準故障箇所リスト記憶手段1801に転送し、格納する。つぎに、ステップ1904において、異常パターン系列記憶手段103から上記基準故障箇所リストの生成にもちいられた異常テストパターン系列以外の異常テストパターン系列を1つ取得する。つぎに、ステップ1905において、故障箇所リスト生成手段105が、ステップ1904で取得した異常テストパターン系列に対して故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ1906において、非故障箇所削除手段1802が、故障箇所リスト生成手段105によって生成された故障箇所リストをもとに、基準故障箇所リストから上記故障箇所リストに含まれる故障箇所以外の故障箇所（非故障箇所）を削除する。最後に、ステップ1907において、上記異常パターン系列記憶手段103に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するならば、ステップ1904、1905、1906を繰り返し、処理されていない異常テストパターン系列が存在しないならば、処理を終了する。ここで、この故障箇所推定方法によって、図31のステップ1407、1408および図32のステップ1506、1507を置き換えてもよい。ただし、ステップ1904において取得すべき異常テストパターン系列が存在しないとき、この故障箇所推定方法は直ちに処理を終了する。

【0123】

図37はこの発明の実施例で使用される故障箇所推定手段106の構成の別の一例を示している。この故障箇所推定手段106cは、異常パターン系列記憶手段103に格納された過渡電源電流が異常を示す複数のテストパターン系列に対して、故障箇所リスト生成手段105で生成された複数の故障箇所リストを格納する異常故障箇所リスト記憶手段2001と、正常パターン系列記憶手段104に格納された過渡電源電流が異常を示さない複数のテストパターン系列に対して、故障箇所リスト生成手段105で生成された複数の故障箇所リストを格納する正常故障箇所リスト記憶手段2002と、上記異常故障箇所リスト記憶手段2001に格納されたすべての故障箇所リストに共通に含まれる故障箇所を求めるこ

とにより故障箇所候補を推定する共通故障箇所推定手段 2 0 0 3 と、共通故障箇所推定手段 2 0 0 3 によって生成された故障箇所候補リストを格納する故障箇所候補リスト記憶手段 2 0 0 4 と、正常故障箇所リスト記憶手段 2 0 0 2 に格納された複数の故障箇所リストに対し、故障箇所リストに含まれる故障箇所（正常箇所）を上記故障箇所候補リストから順次削除していく正常箇所削除手段 2 0 0 5 と、によって構成されている。異常故障箇所リスト記憶手段 2 0 0 1 および正常故障箇所リスト記憶手段 2 0 0 2 および故障箇所候補リスト記憶手段 2 0 0 4 は、ハードディスクやメモリのような物理的記憶媒体でもよいし、メモリ上に構築された仮想的記憶手段でもよい。共通故障箇所推定手段 2 0 0 3 および正常箇所削除手段 2 0 0 5 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

【 0 1 2 4 】

つぎに、上記故障箇所推定手段 1 0 6 c を使用して故障箇所の推定を行なう場合の動作を説明する。図 3 8 はこの発明の故障箇所推定方法の処理手順を示している。はじめに、ステップ 2 1 0 1 において、故障箇所リスト生成手段 1 0 5 が、異常パターン系列記憶手段 1 0 3 に格納された異常テストパターン系列を 1 つ取得する。つぎに、ステップ 2 1 0 2 において、故障箇所リスト生成手段 1 0 5 が、ステップ 2 1 0 1 で取得した異常テストパターン系列に対し故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 2 1 0 3 において、故障箇所リスト生成手段 1 0 5 によって生成された故障箇所リストを異常故障箇所リスト記憶手段 2 0 0 1 に転送し、格納する。つぎに、ステップ 2 1 0 4 において、上記異常パターン系列記憶手段 1 0 3 に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するならば、ステップ 2 1 0 1, 2 1 0 2, 2 1 0 3 を繰り返し、処理されていない異常テストパターン系列が存在しないならば、ステップ 2 1 0 5 に移行する。つぎに、ステップ 2 1 0 5 において、共通故障箇所推定手段 2 0 0 3 が、上記異常故障箇所リスト記憶手段 2 0 0 1 に格納されたすべての故障リストに共通の故障箇所を推定し、故障箇所候補リストを作成する。つぎに、共通故障箇所推定手段 2 0 0 3 は、ステップ 2 1 0 6 において、故障箇所候補リストを

故障箇所候補リスト記憶手段に転送し、格納する。つぎに、ステップ 2 1 0 7 において、故障箇所リスト生成手段 1 0 5 が、正常パターン系列記憶手段 1 0 4 から正常テストパターン系列を 1 つ取得する。つぎに、ステップ 2 1 0 8 において、故障箇所リスト生成手段 1 0 5 が、ステップ 2 1 0 7 で取得した正常テストパターン系列に対して故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 2 1 0 9 において、正常箇所削除手段 2 0 0 5 が、ステップ 2 1 0 8 において故障箇所リスト生成手段 1 0 5 によって生成された故障箇所リストに含まれる故障箇所（正常箇所）を故障箇所候補リストから削除する。最後に、ステップ 2 1 1 0 において、上記正常パターン系列記憶手段 1 0 4 に処理されていない正常テストパターン系列が存在するか否かを確認し、処理されていない正常テストパターン系列が存在するならば、ステップ 2 1 0 7, 2 1 0 8, 2 1 0 9 を繰り返し、処理されていない正常テストパターン系列が存在しないならば、処理を終了する。ここで、この故障箇所推定方法によって、図 3 1 のステップ 1 4 0 7, 1 4 0 8 および図 3 2 のステップ 1 5 0 6, 1 5 0 7 を置き換えてもよい。ただし、ステップ 2 1 0 7 において取得すべき正常テストパターン系列が存在しないとき、この故障箇所推定方法は直ちに処理を終了する。

【 0 1 2 5 】

上述では故障箇所リストを故障シミュレーションによりその都度求めたが、予め各種のテストパターン系列に対して故障シミュレーションを行い、そのテストパターン系列と故障箇所リストの対応テーブルを作っておき、そのテーブルを参照して故障箇所リストを求めてもよい。

この発明の故障解析方法および故障解析装置は、故障シミュレーションにおいて故障箇所を論理ゲート単位で指定することにより、論理ゲート単位で故障箇所を推定することができる。また、故障シミュレーションにおいて故障箇所を信号線単位で指定することにより、信号線単位で故障箇所を推定することもできる。さらに、この発明の故障解析方法および故障解析装置は、遅延故障や断線故障に限定されるものではなく、過渡電源電流の故障検出条件や故障シミュレーションの故障モデルを適宜変更することにより、論理故障（縮退故障）や短絡故障、および、MOS トランジスタのパラメータ不良などの故障箇所も推定することがで

きる。

【 0 1 2 6 】

【発明の効果】

この発明によれば、可観測性が高く論理ゲートのスイッチング情報をもつ過渡電源電流試験法をもちいることにより、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障の故障箇所の推定ができるため、故障解析の信頼性を大幅に改善できる。

【図面の簡単な説明】

【図 1】

a は CMOS インバータの入力電圧 V_{IN} 、出力電圧 V_{OUT} の経時変化とその電源電流 I_{DD} の過渡応答の一例を示す図、b はその CMOS インバータ回路と出力の立ち上がり遷移時に流れる電源電流を示す図、c はその CMOS インバータ回路と出力立ち下り遷移時に流れる電源電流を示す図である。

【図 2】

CMOS 論理ゲートの過渡応答の典型例を示し、a は入力電圧 V_{IN} 、出力電圧 V_{OUT} 、電源電流 I_S の伝達特性図、b は過渡電流の近似波形を示す図である。

【図 3】

a は CMOS 集積回路の例を示す回路図、b はその集積回路に対する入力電圧、出力電圧の変化と判定する過渡電源電流応答 I_{DDT} の様子を示す図である。

【図 4】

a は入、出力ラッチを備えた半導体集積回路に対する遅延故障試験方法の基本原理を模式的に示す図、b はその入力電圧 V_{IN} に対する出力電圧 V_{OUT} の遅延と動作クロックとの関係を示す図である。

【図 5】

a は論理故障を生じる信号線の断線状態と、入力電圧及び出力電圧を示す図、b は遅延故障を生じる信号線の断線状態と入力電圧及び出力電圧を示す図である。

【図 6】

a は遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図

、b はこれと過渡電源電流試験方法の原理図を示すための図で対応する過渡電源電流を示す図である。

【図 7】

別の過渡電源電流試験方法の原理図を示すための図で、a は遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図、b はこれと対応する過渡電源電流と測定時点を示す図である。

【図 8】

CMOS インバータの入力遷移時間に対する過渡電源電流の積分値の変化を示す図。

【図 9】

a は CMOS インバータの入力信号線に存在する微小オープン欠陥のモデルを示す図、b は微小オープン欠陥がない場合の信号遷移時間を模式的に示す図、c は微小オープン欠陥がある後の信号遷移時間を模式的に示す図である。

【図 1 0】

CMOS 集積回路内に存在する微小オープン欠陥の抵抗値 R_{open} に対する CMOS 集積回路の過渡電源電流の積分値 Q_{DDT} の変化を示す図。

【図 1 1】

CMOS 製造プロセスのばらつきに対する CMOS 集積回路の過渡電源電流の積分値の分布を示すヒストグラム図。

【図 1 2】

CMOS 集積回路の被試験パス上に存在する微小オープン欠陥の抵抗値 R_{open} に対する被試験パスのパス遅延時間 t_{pd} の変化を示す図。

【図 1 3】

CMOS 集積回路の被試験パス上に微小オープン欠陥が存在すると仮定したときの、CMOS 集積回路の過渡電源電流の積分値 Q_{DDT} と被試験パスのパス遅延時間 t_{pd} の間の線形性を示す図。

【図 1 4】

この被試験 CMOS 集積回路の一例を示す回路図。

【図 1 5】

図 1 4 に示した被試験 CMOS 集積回路に対する故障シミュレーション結果の一例を示す図。

【図 1 6】

被試験 CMOS 集積回路の別の一例を示す回路図。

【図 1 7】

図 1 6 に示した被試験 CMOS 集積回路に対する別の故障シミュレーション結果の一例を示す図。

【図 1 8】

この発明の故障解析装置の構成を示すブロック図。

【図 1 9】

図 1 8 中の過渡電源電流試験手段 1 0 2 の構成の一例を示すブロック図。

【図 2 0】

図 1 9 中の過渡電源電流波形測定器 2 0 2 の構成の一例を示すブロック図。

【図 2 1】

図 1 9 中の過渡電源電流波形測定器 2 0 2 の構成の別の一例を示すブロック図。

【図 2 2】

この発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順の一例を示すフローチャート。

【図 2 3】

図 1 8 中の過渡電源電流試験手段 1 0 2 の構成の別の一例を示すブロック図。

【図 2 4】

図 2 3 中の過渡電源電流瞬時値測定器 6 0 2 の構成の一例を示すブロック図。

【図 2 5】

図 2 3 中の過渡電源電流瞬時値測定器 6 0 2 の構成の別の一例を示すブロック図。

【図 2 6】

この発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順の別の一例を示すフローチャート。

【図 2 7】

図 1 8 中の過渡電源電流試験手段 1 0 2 の構成のさらに別の一例を示すブロック図。

【図 2 8】

図 2 7 中の過渡電源電流積分値測定器 1 0 0 2 の構成の一例を示すブロック図。

【図 2 9】

図 2 7 中の過渡電源電流積分値測定器 1 0 0 2 の構成の別の一例を示すブロック図。

【図 3 0】

この発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順のさらに別の一例を示すフローチャート。

【図 3 1】

この発明の故障解析方法の処理手順を示すフローチャート。

【図 3 2】

この発明の故障解析方法の別の処理手順を示すフローチャート。

【図 3 3】

図 1 8 中の故障箇所推定手段 1 0 6 の構成の一例を示すブロック図。

【図 3 4】

この発明の故障解析方法でもちいられる故障箇所推定方法の処理手順の一例を示すフローチャート。

【図 3 5】

図 1 8 中の故障箇所推定手段 1 0 6 の構成の別の一例を示すブロック図。

【図 3 6】

この発明の故障解析方法でもちいられる故障箇所推定方法の処理手順の別の一例を示すフローチャート。

【図 3 7】

図 1 8 中の故障箇所推定手段 1 0 6 の構成のさらに別の一例を示すブロック図。

【図 3 8】

この発明の故障解析方法でもちいられる故障箇所推定方法の処理手順のさらに別の一例を示すフローチャート。

【図 3 9】

図 1 4 に示した回路に対する信号伝搬パス単位の故障リストの例を示す図。

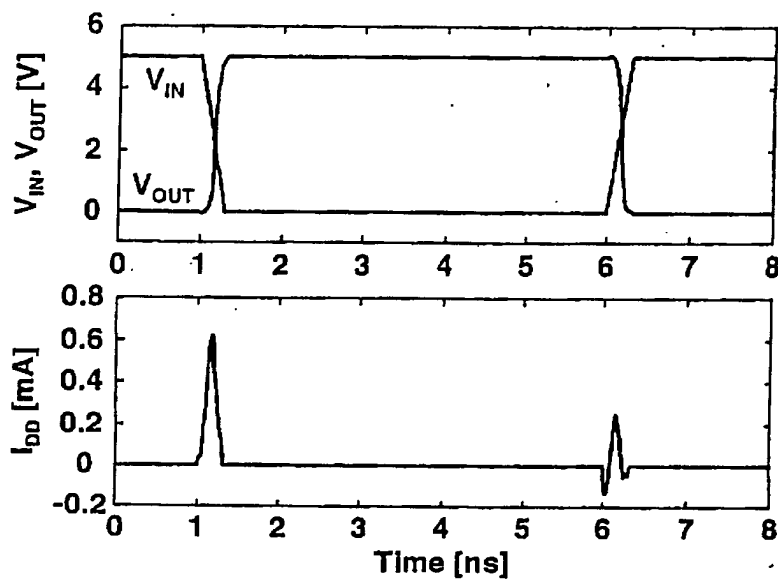
【図 4 0】

図 1 6 に示した回路に対する信号伝搬パス単位の故障リストの例を示す図。

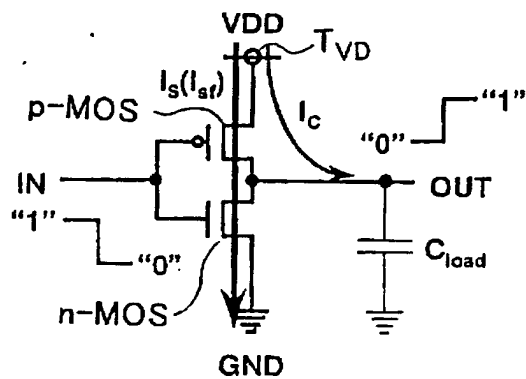
【書類名】

図面

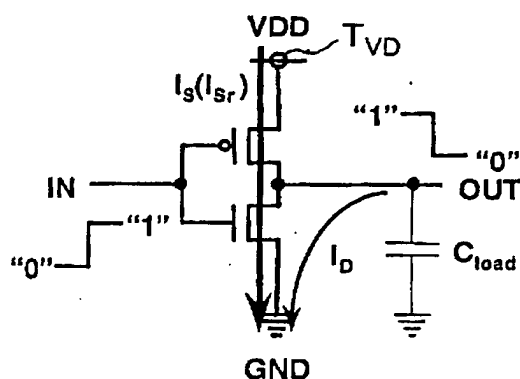
【図1】



(a)



(b)



(c)

図 1

【図 2】

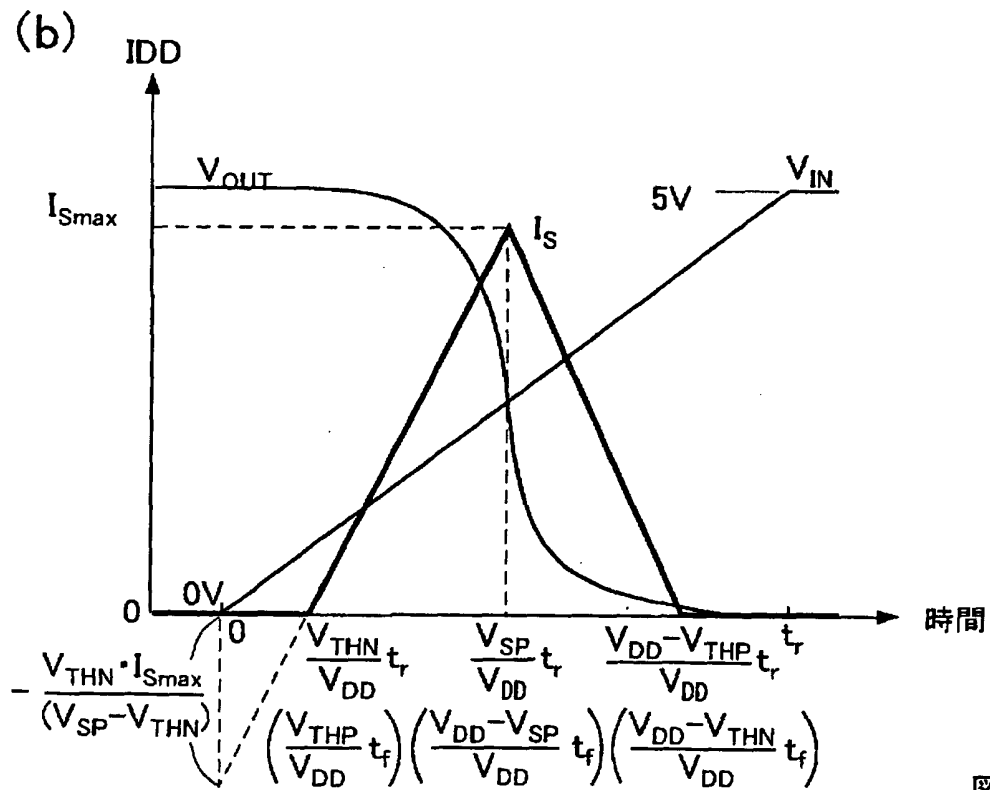
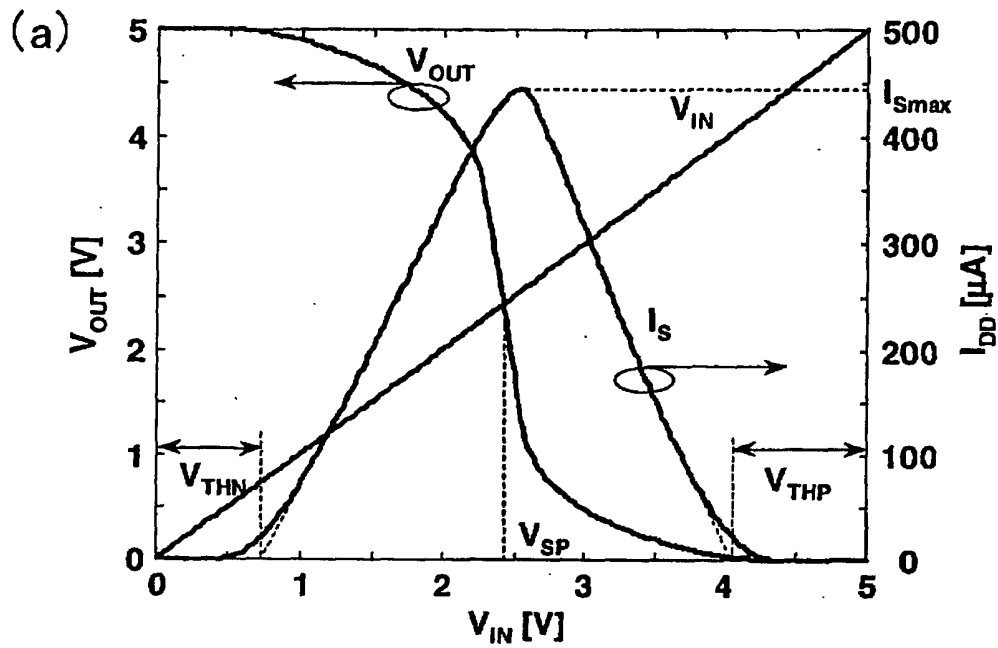


図2

【図 3】

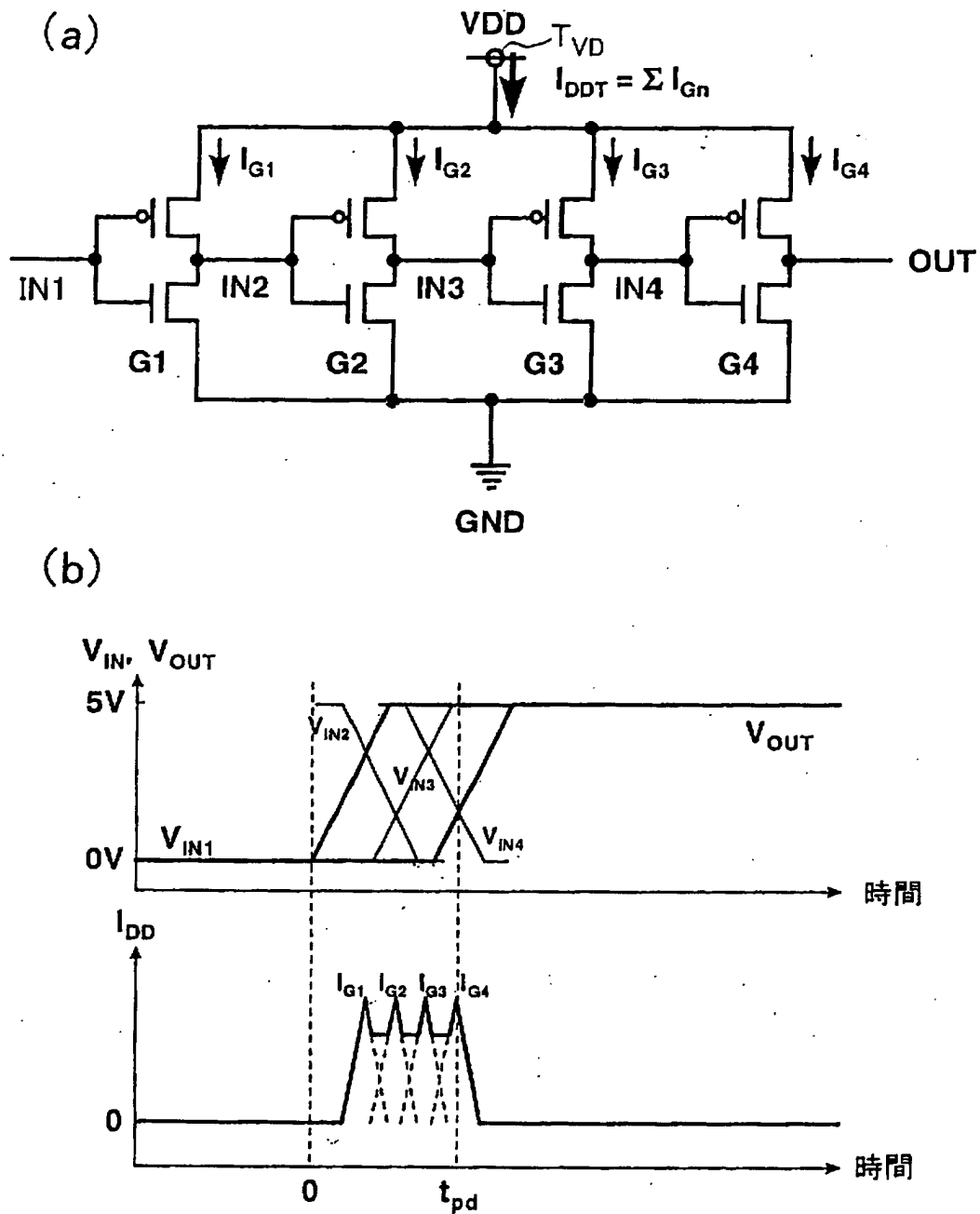


図 3

【図4】

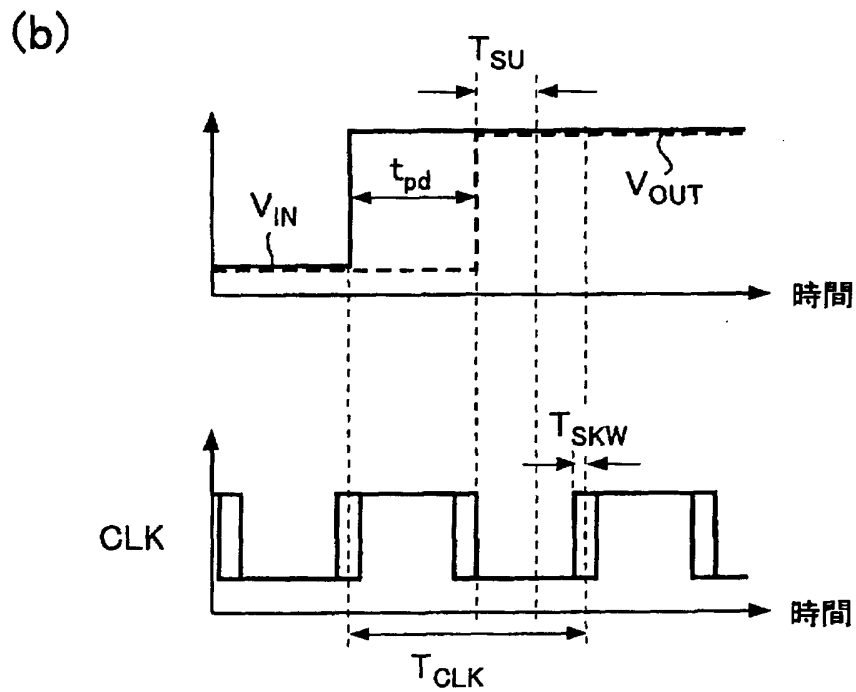
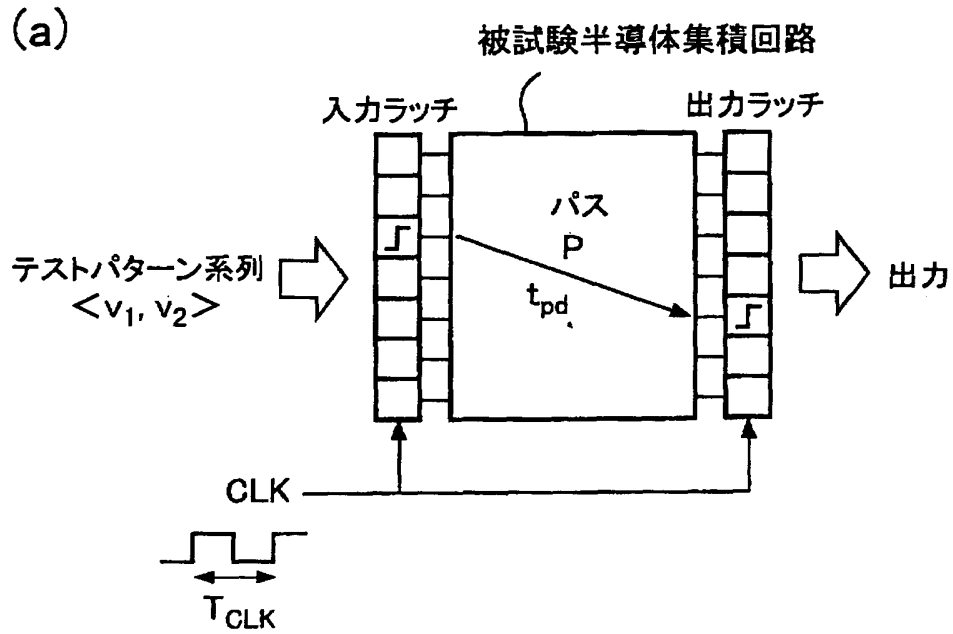


図4

【図5】

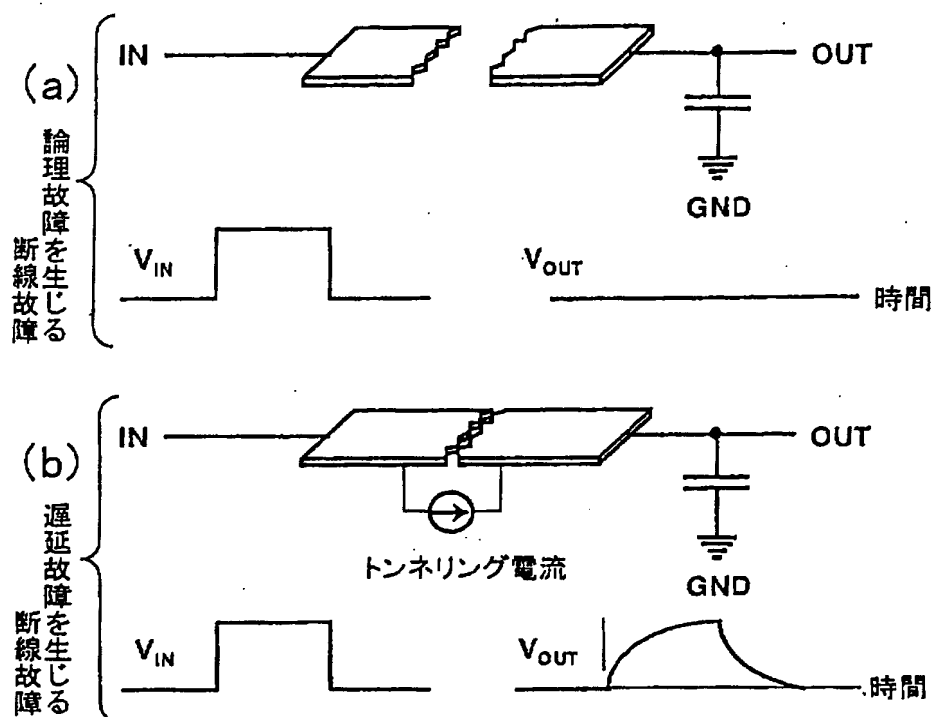


図5

【図6】

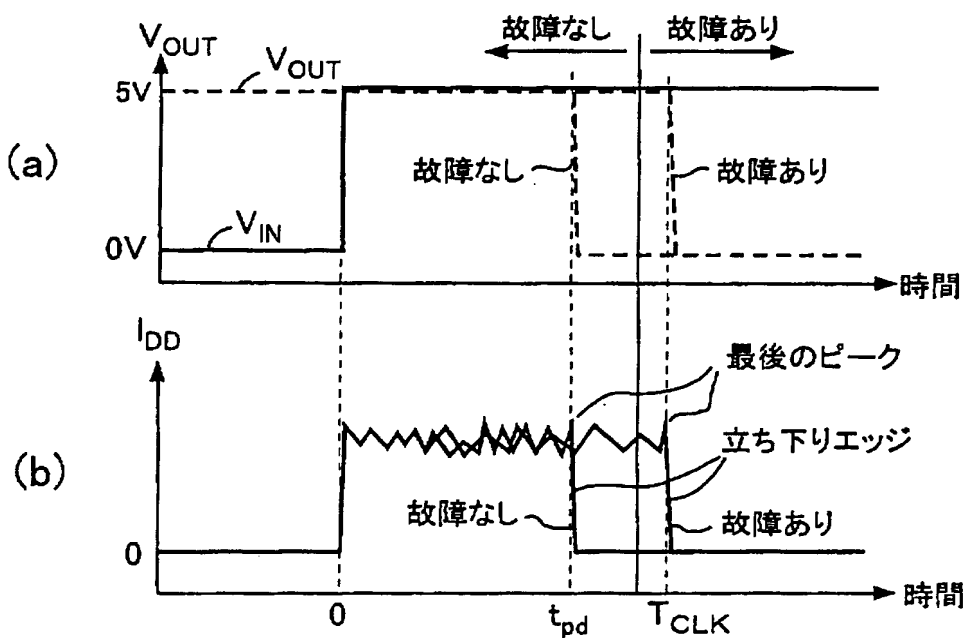
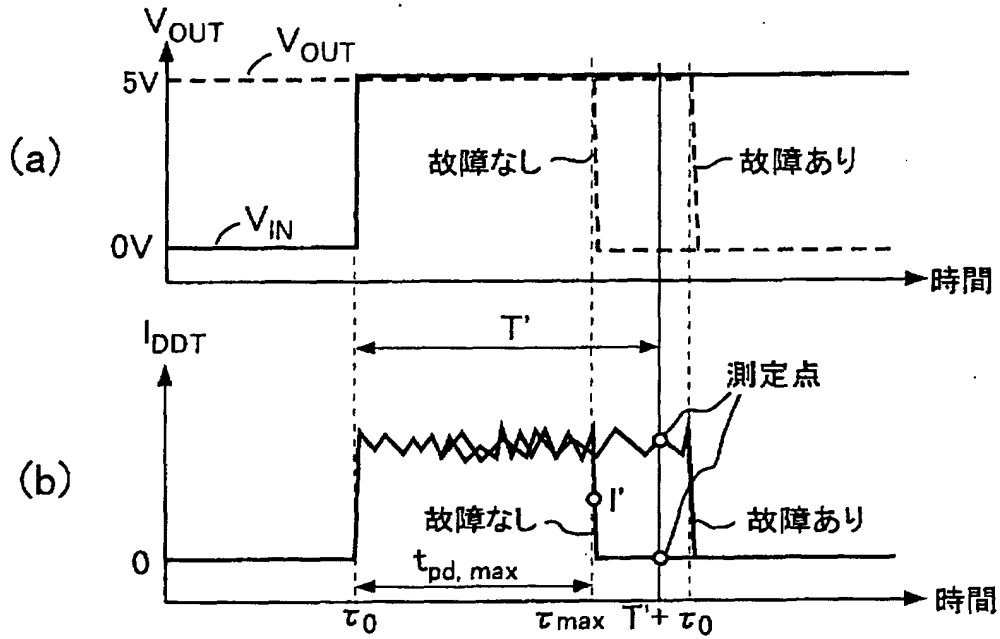


図6

【図7】



故障なし: $i_{DDT}(T' + \tau_0) \leq I'$

故障あり: $i_{DDT}(T' + \tau_0) > I'$

図7

【図8】

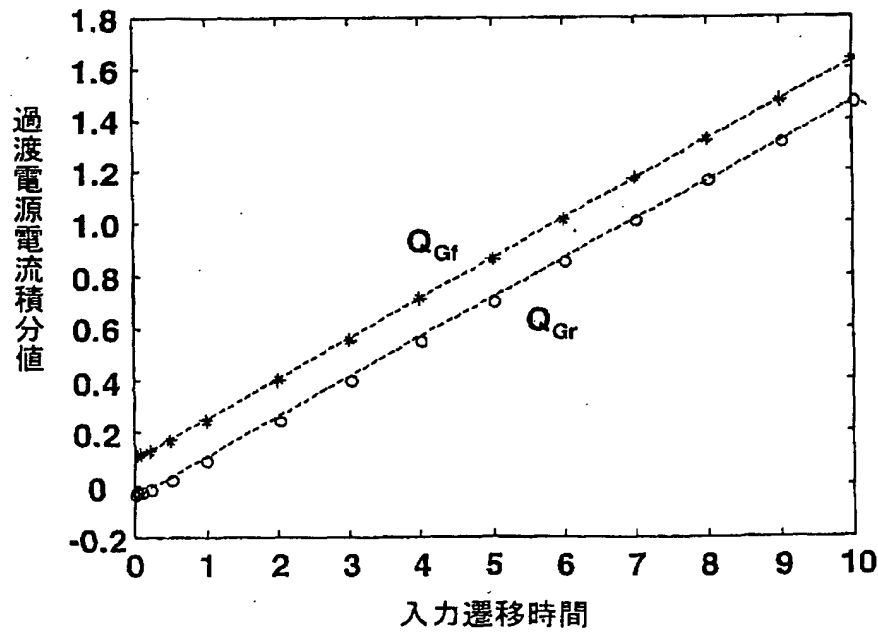


図8

【図9】

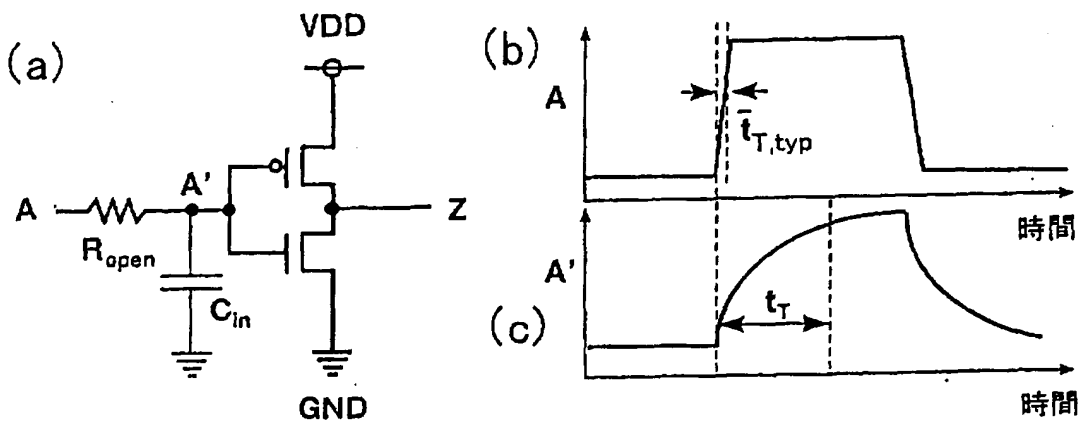


図9

【図10】

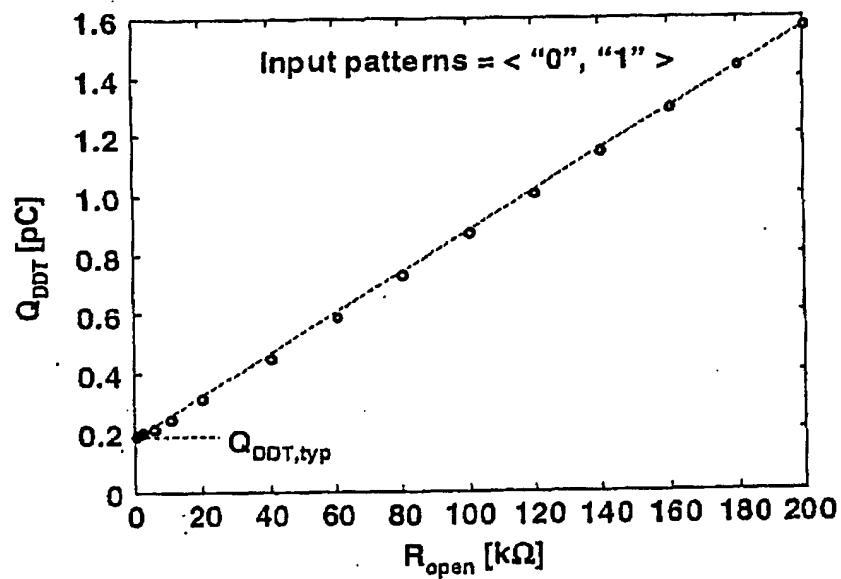


図10

【図 1 1】

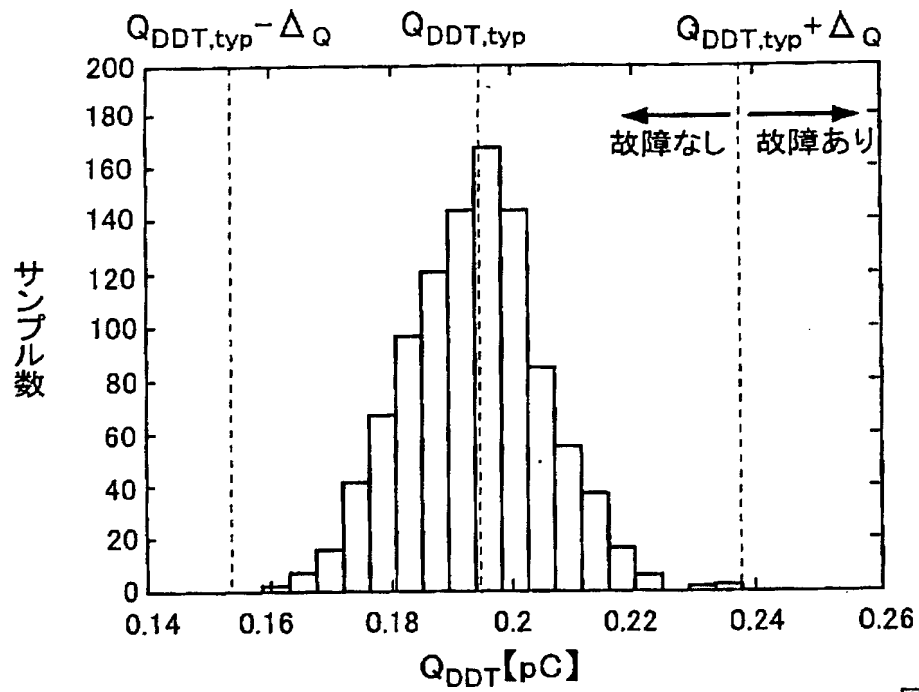


図11

【図 1 2】

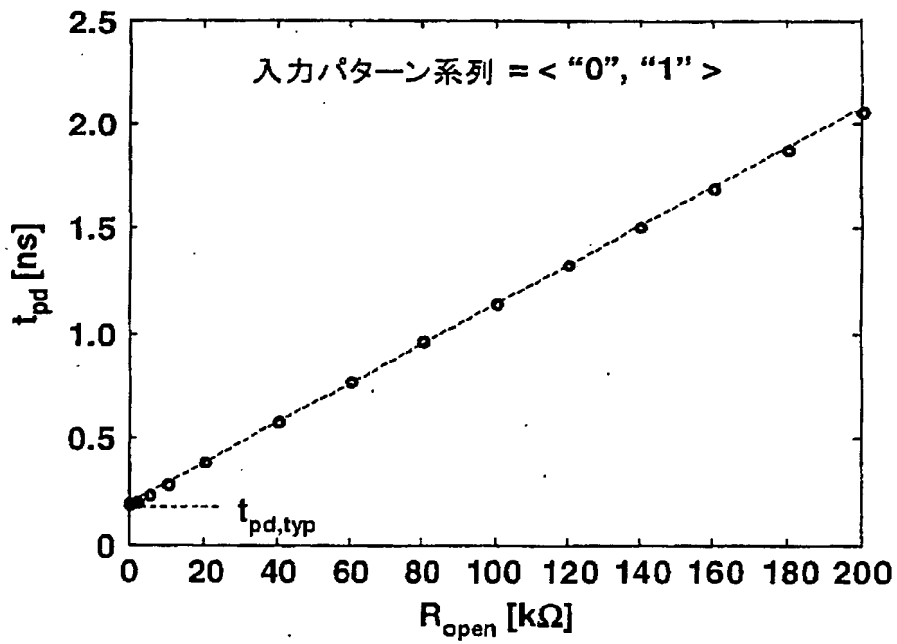


図12

【図 13】

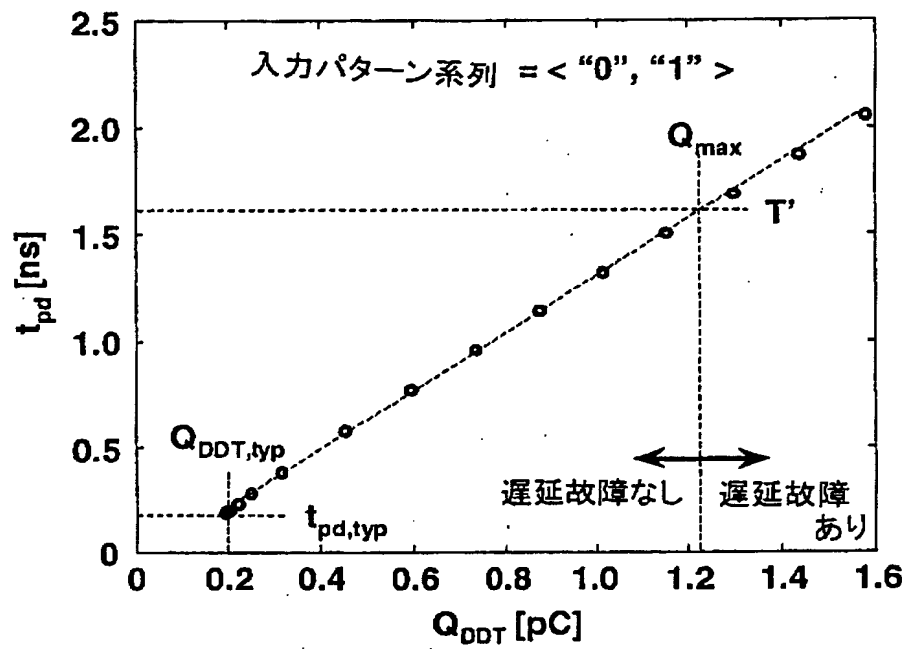


図 13

【図 14】

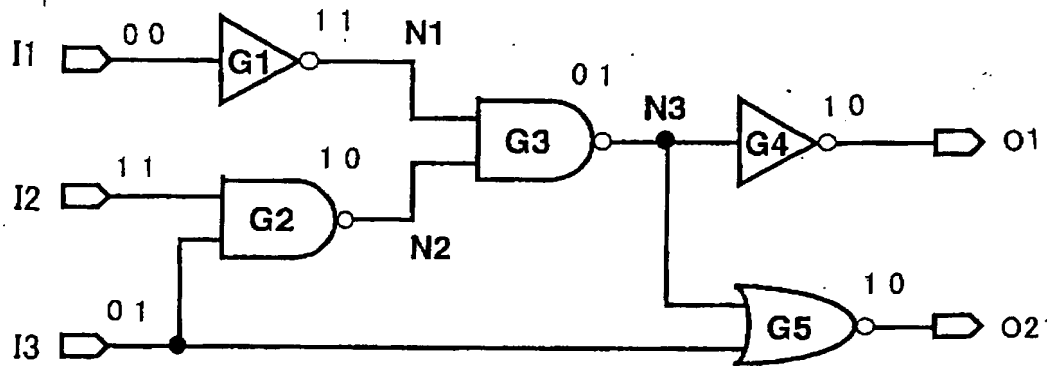


図 14

【図 15】

テストパターン 系列識別番号	入力端子			内部ノード			出力端子		故障検出可能ゲート
	I1	I2	I3	N1	N2	N3	O1	O2	
T1	0	0	R	1	1	0	1	F	G5
T2	0	1	R	1	F	R	F	F	G2, G3, G4, G5
T3	1	0	R	0	1	1	0	0	-
T4	1	1	R	0	F	1	0	0	G2
T5	0	R	0	1	1	0	1	1	-
T6	0	R	1	1	F	R	F	0	G2, G3, G4
T7	1	R	0	0	1	1	0	0	-
T8	1	R	1	0	F	1	0	0	G2
T9	R	0	0	F	1	R	F	F	G1, G3, G4, G5
T10	R	0	1	F	1	R	F	0	G1, G3, G4
T11	R	1	0	F	1	R	F	F	G1, G3, G4, G5
T12	R	1	1	F	0	1	0	0	G1
:	:	:	:	:	:	:	:	:	:

図 15

【図16】

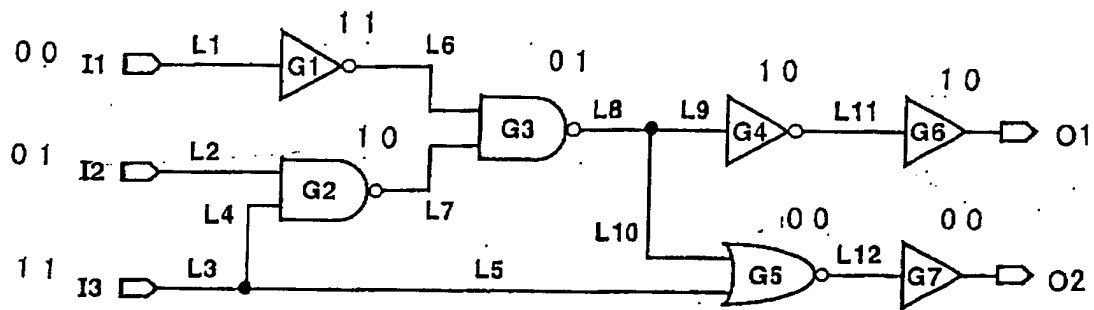


図16

【図17】

テストパターン 識別番号	入力端子			内部信号線												出力端子		故障検出可能 内部信号線
	I1	I2	I3	1	2	3	4	5	6	7	8	9	10	11	12	O1	O2	
T1	0	0	R	0	0	R	R	R	1	1	1	1	1	1	F	1	F	L3, L5, L12
T2	0	1	R	0	1	R	R	R	1	F	F	F	F	F	F	F	F	L3, L4, L5, L7, L8, L9, L10, L11, L12
T3	1	0	R	1	0	R	R	R	0	1	0	0	0	0	0	0	0	-
T4	1	1	R	1	1	R	R	R	0	F	0	0	0	0	0	0	0	L3, L4
T5	0	R	0	0	R	0	0	0	1	1	1	1	1	1	1	1	1	-
T6	0	R	1	0	R	1	1	1	1	F	F	F	F	F	0	F	0	L2, L7, L8, L9, L11
T7	1	R	0	1	R	0	0	0	0	1	0	0	0	0	0	0	0	-
T8	1	R	1	1	R	1	1	1	0	F	0	0	0	0	0	0	0	L2
T9	R	0	0	R	0	0	0	0	0	F	1	F	F	F	F	F	F	L1, L6, L8, L9, L10, L11, L12
T10	R	0	1	R	0	1	1	1	F	1	F	F	F	F	0	F	0	L1, L6, L8, L9, L11
T11	R	1	0	R	1	0	0	0	F	1	F	F	F	F	F	F	F	L1, L6, L8, L9, L10, L11, L12
T12	R	1	1	R	1	1	1	1	F	0	0	0	0	0	0	0	0	L1
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:

図17

【図18】

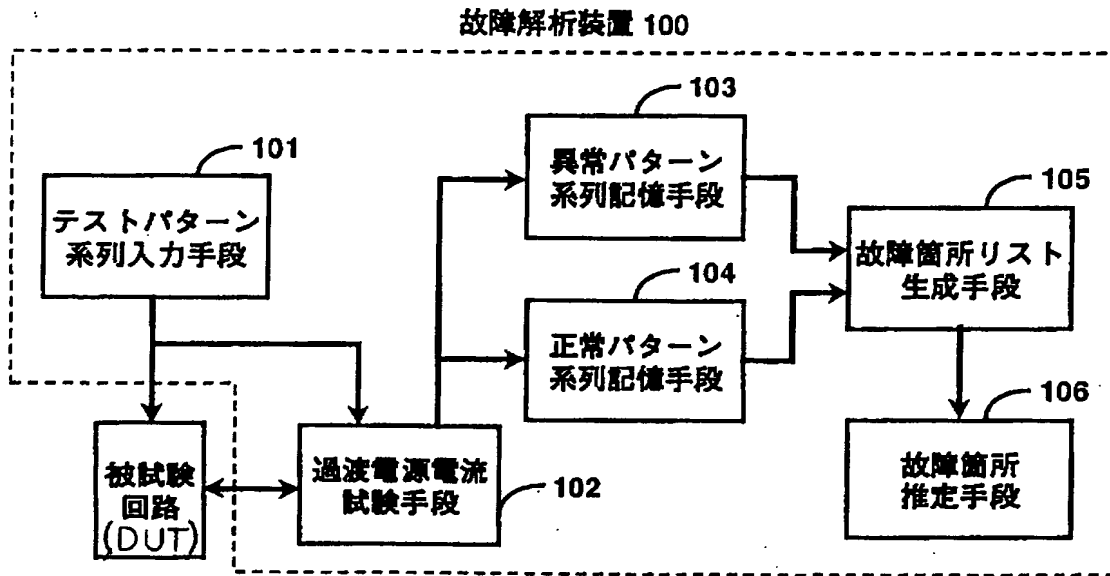


図18

【図19】

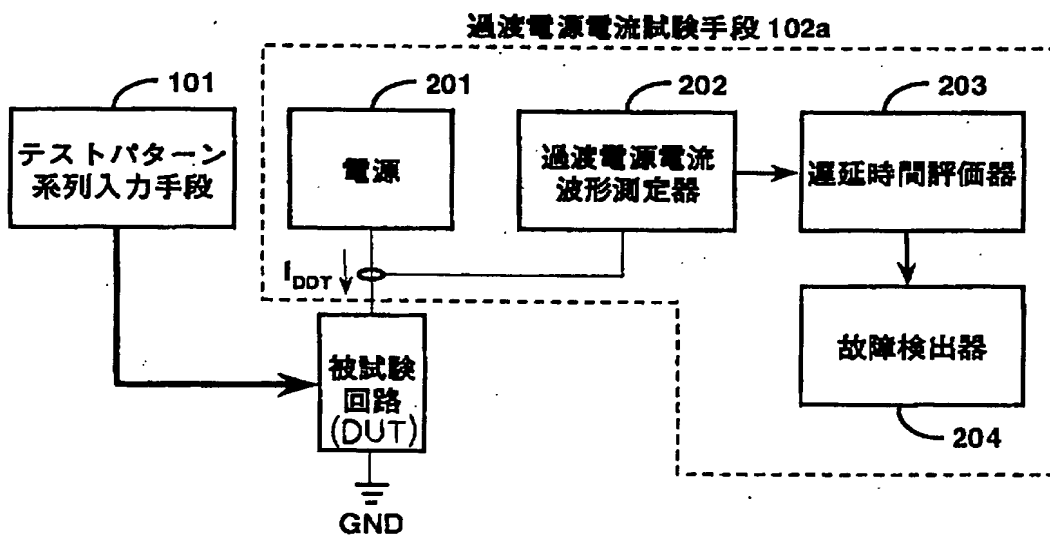


図19

【図 20】

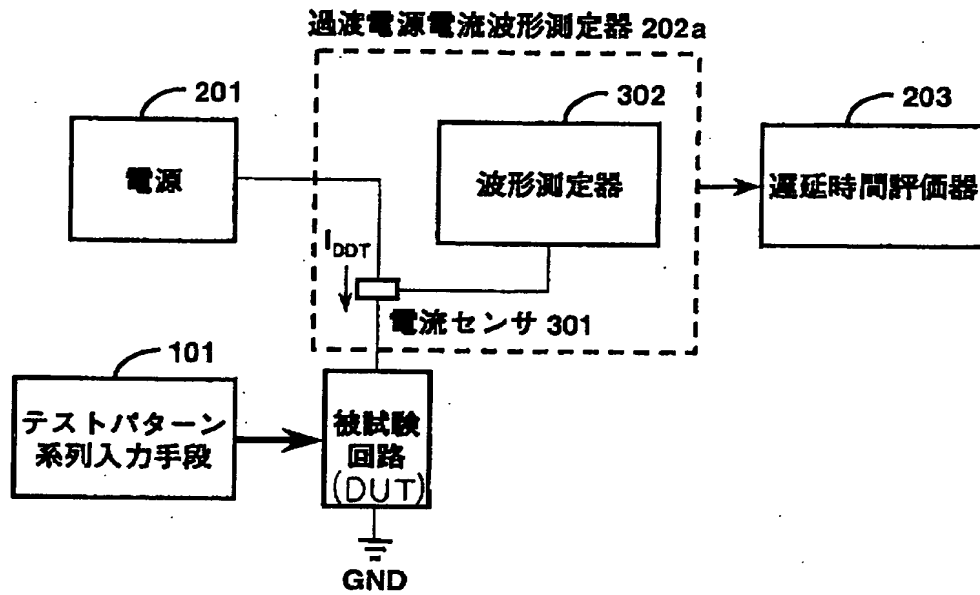


図 20

【図 21】

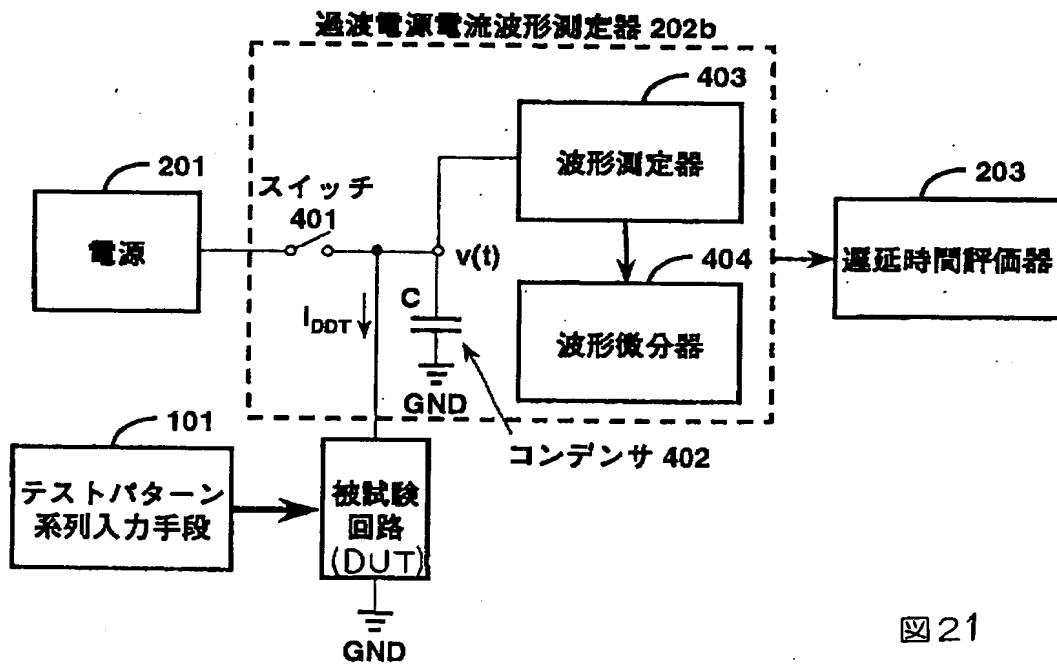
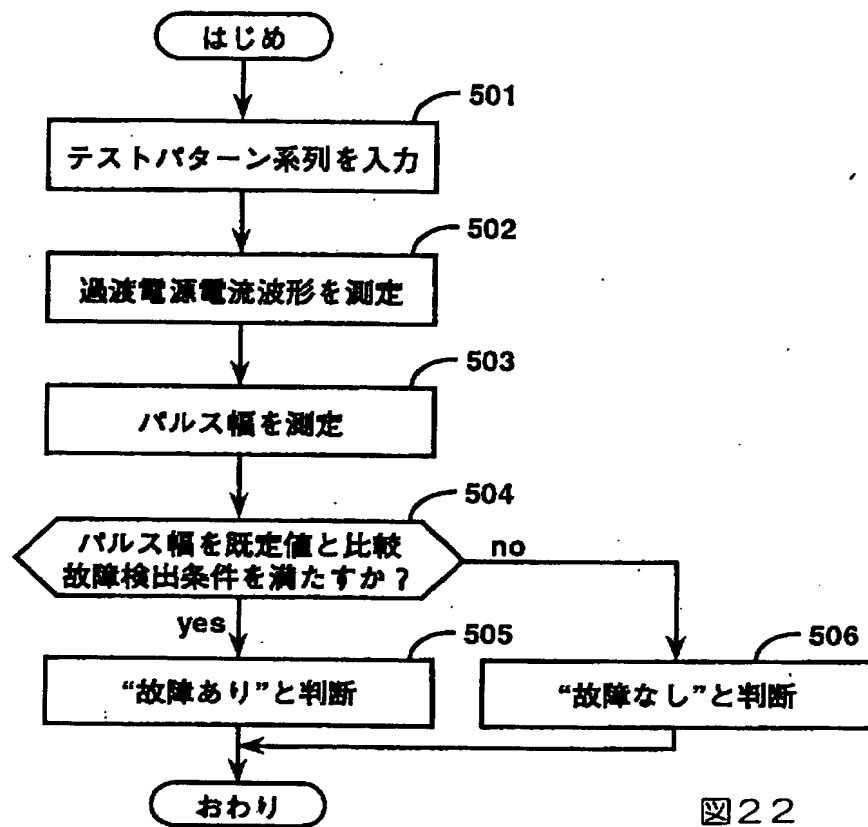
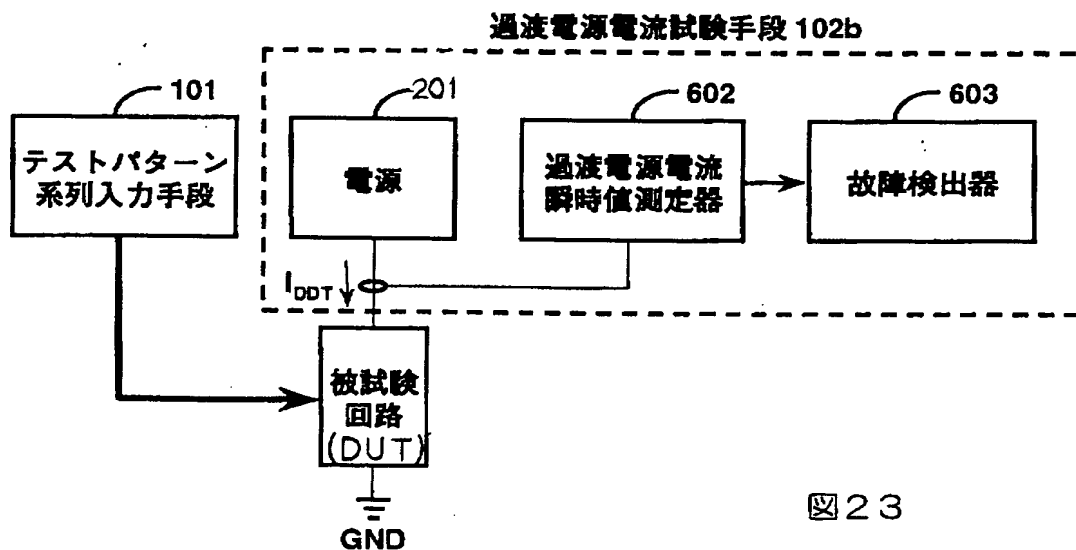


図 21

【図 22】



【図 23】



【図24】

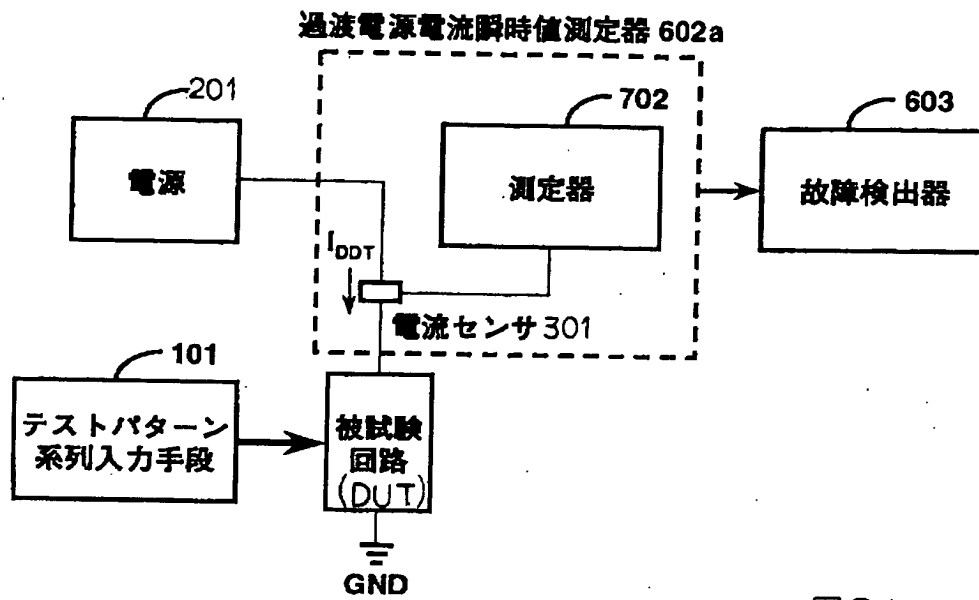


図24

【図25】

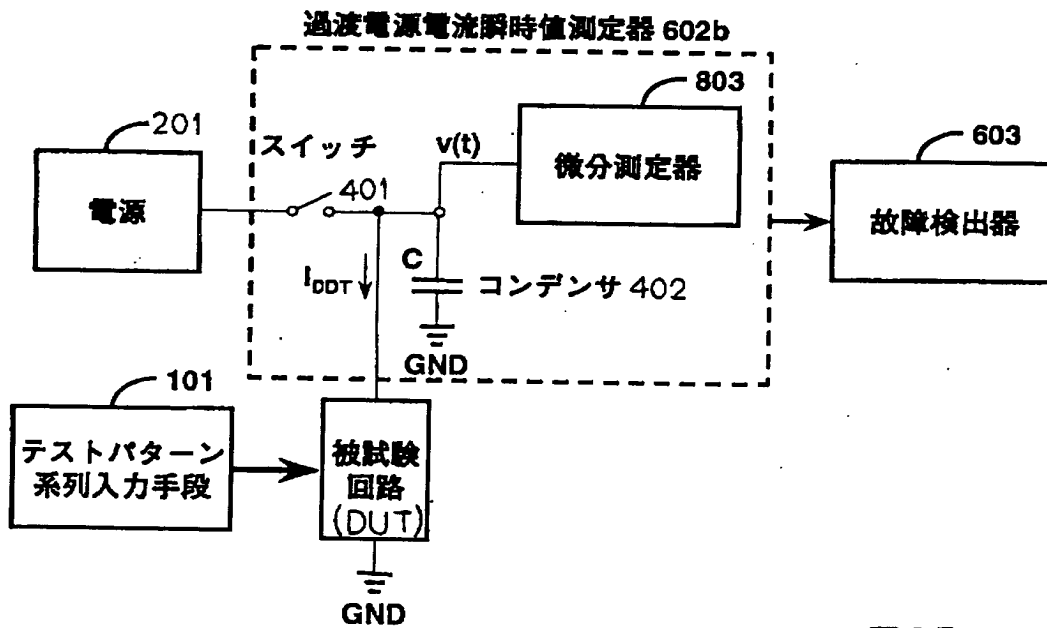
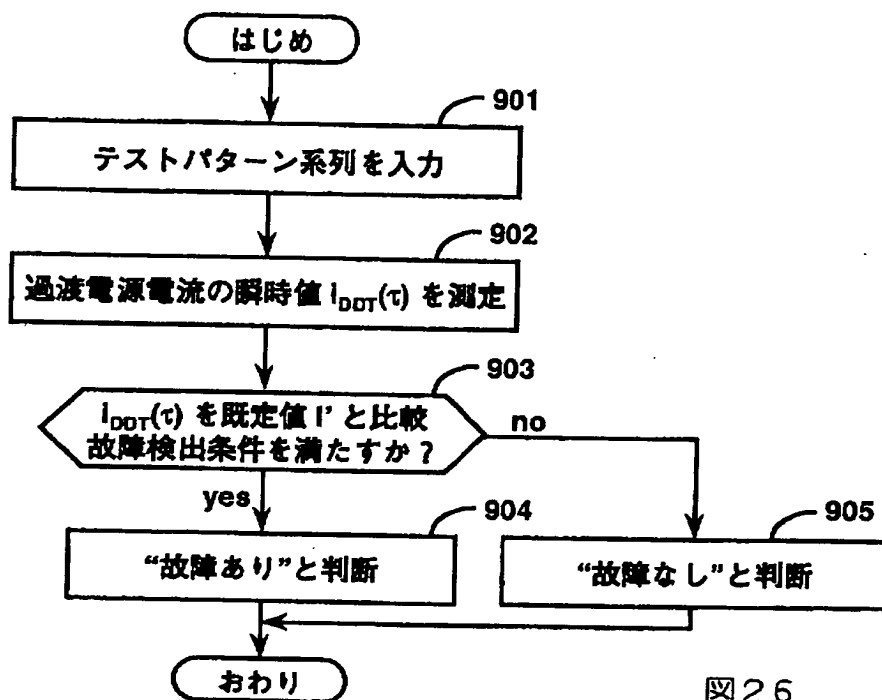
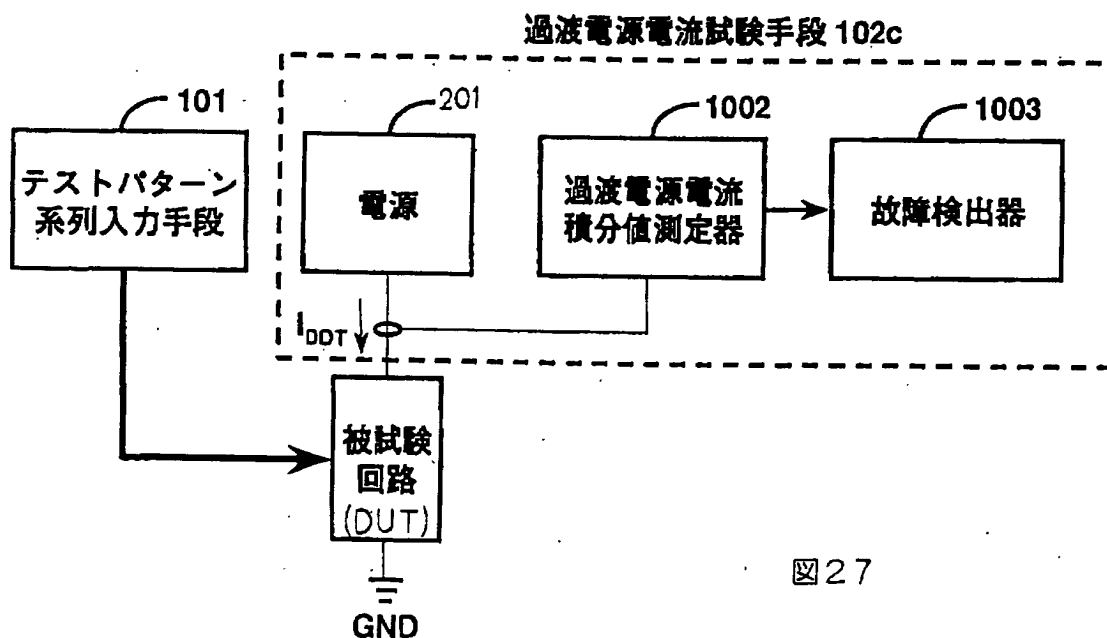


図25

【図 26】



【図 27】



【図 28】

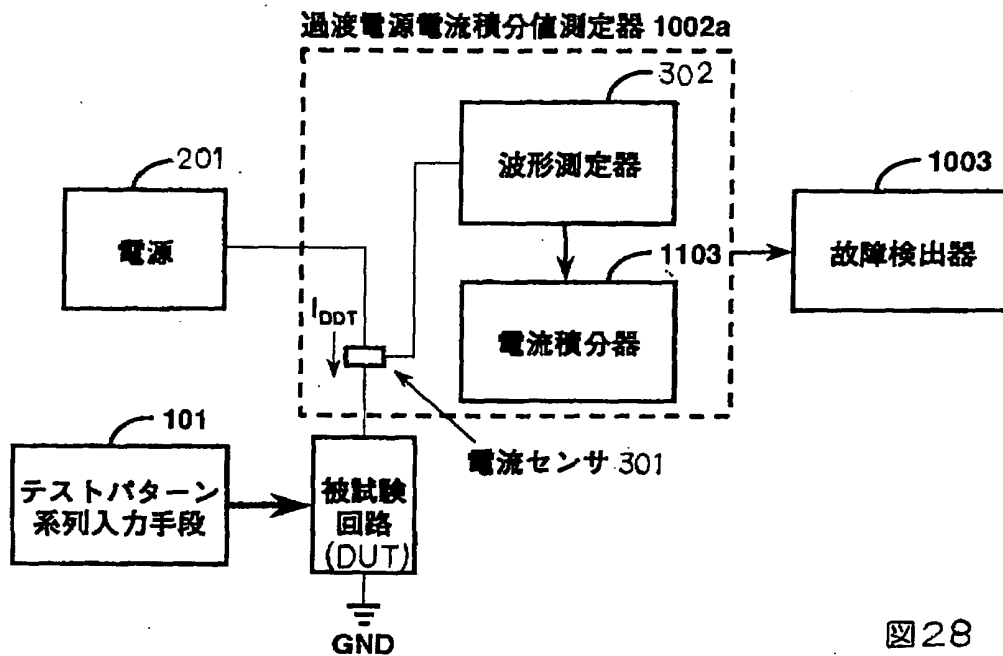


図 28

【図 29】

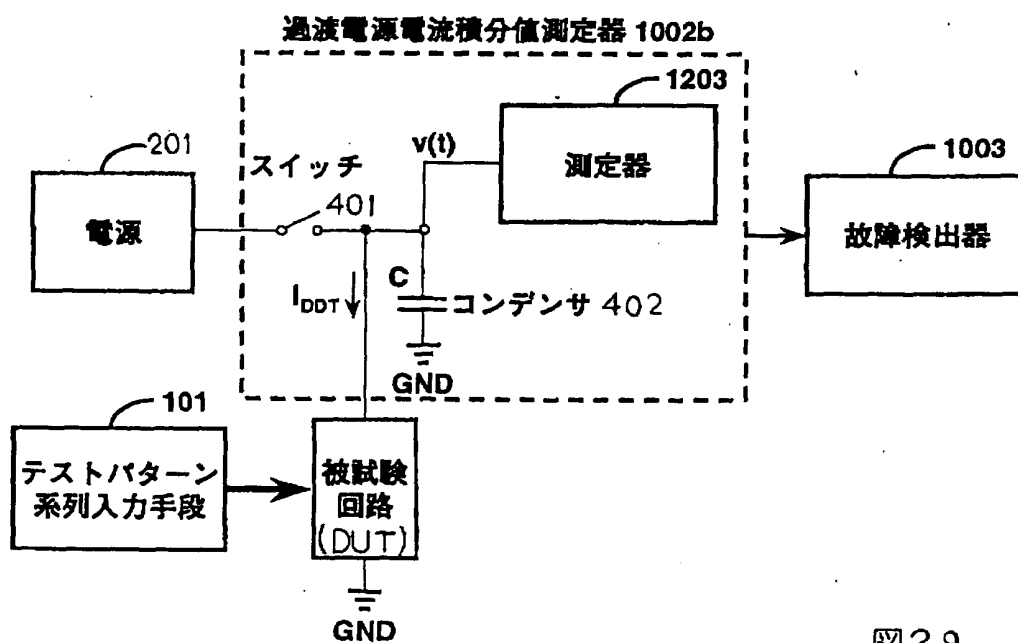


図 29

【図 30】

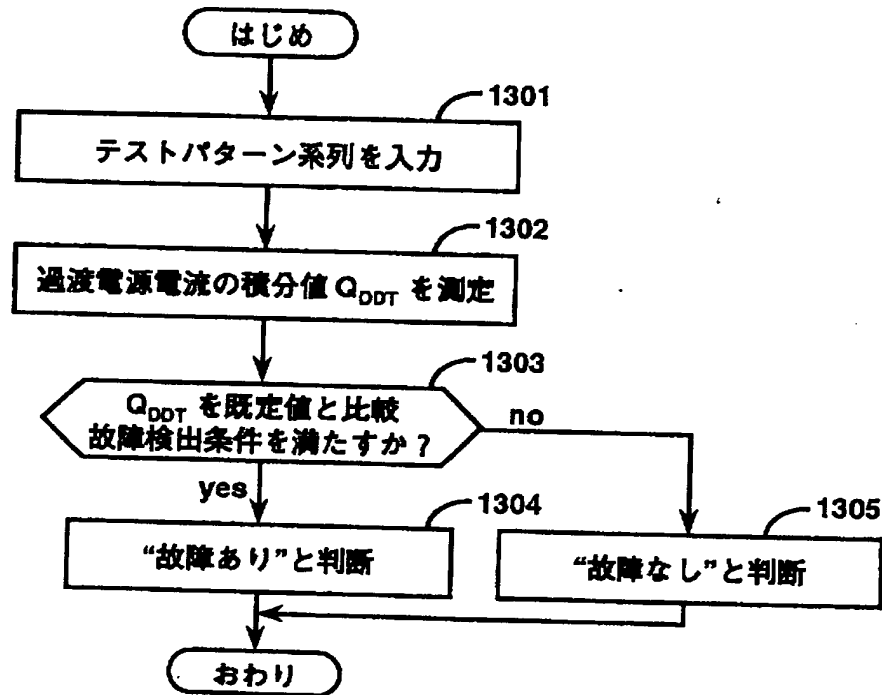


図 30

【図 31】

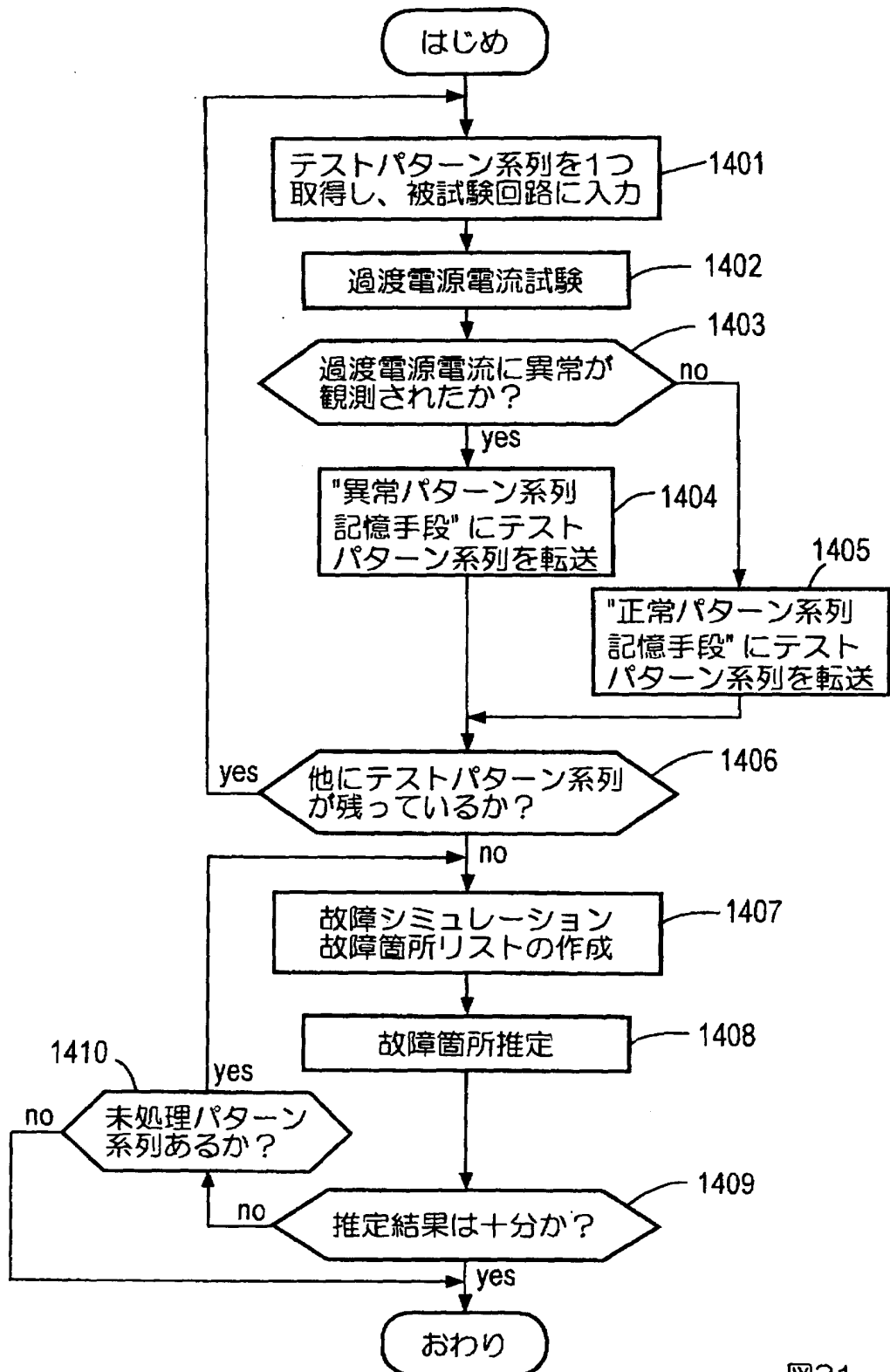


図31

【図32】

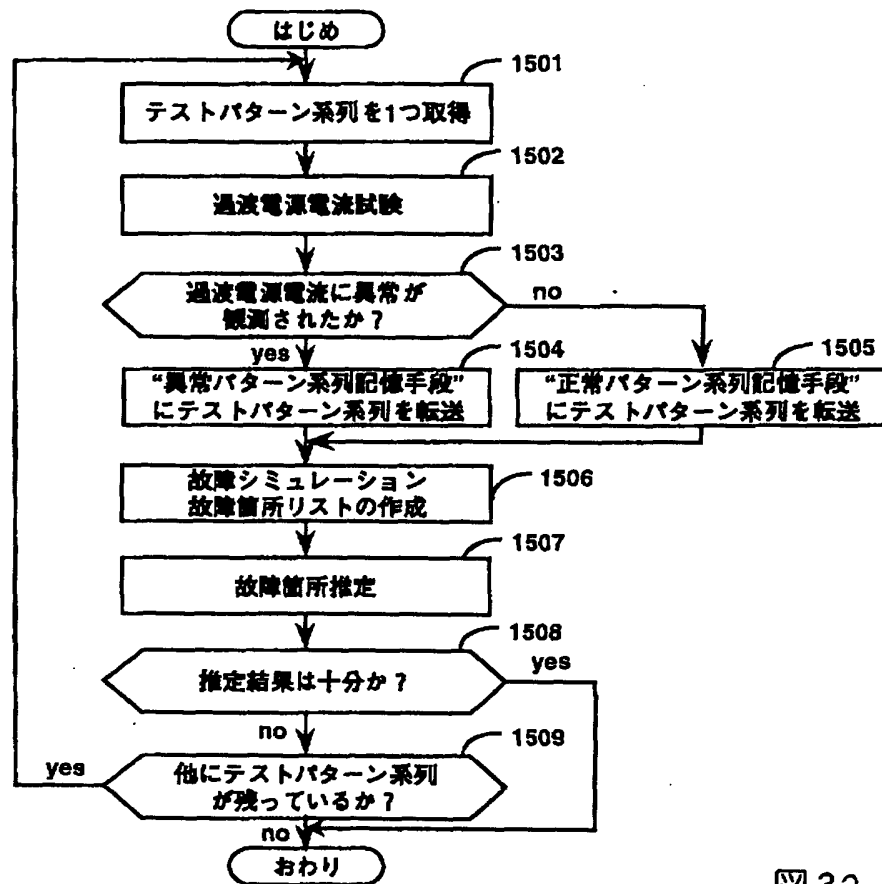


図 32

【図33】

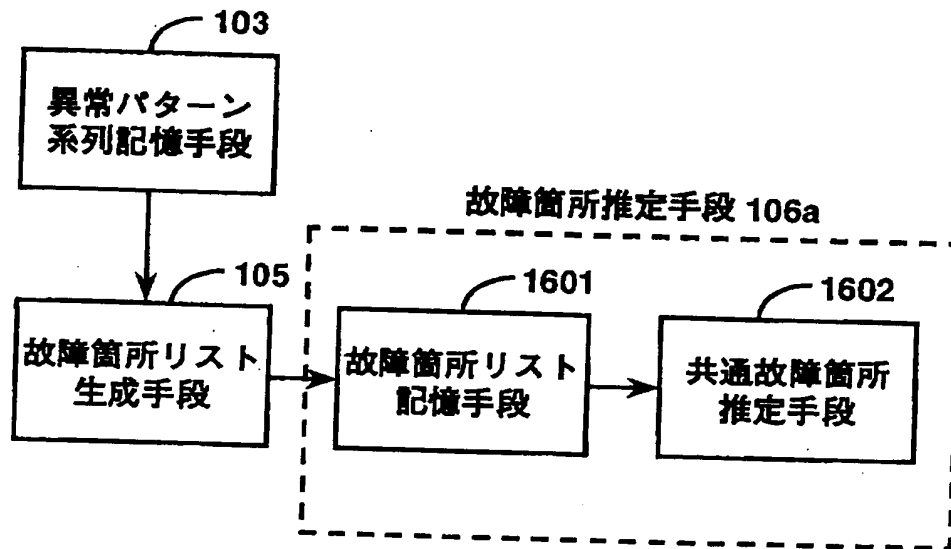


図 33

【図34】

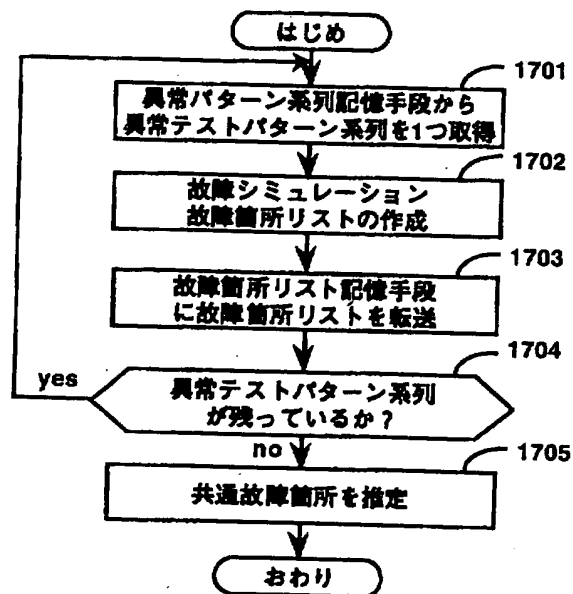


図 34

【図 35】

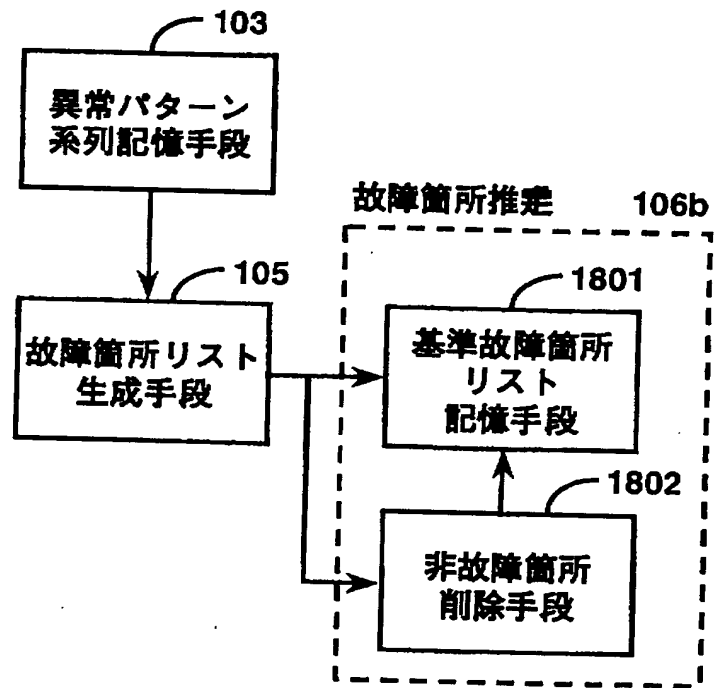


図 35

【図 36】

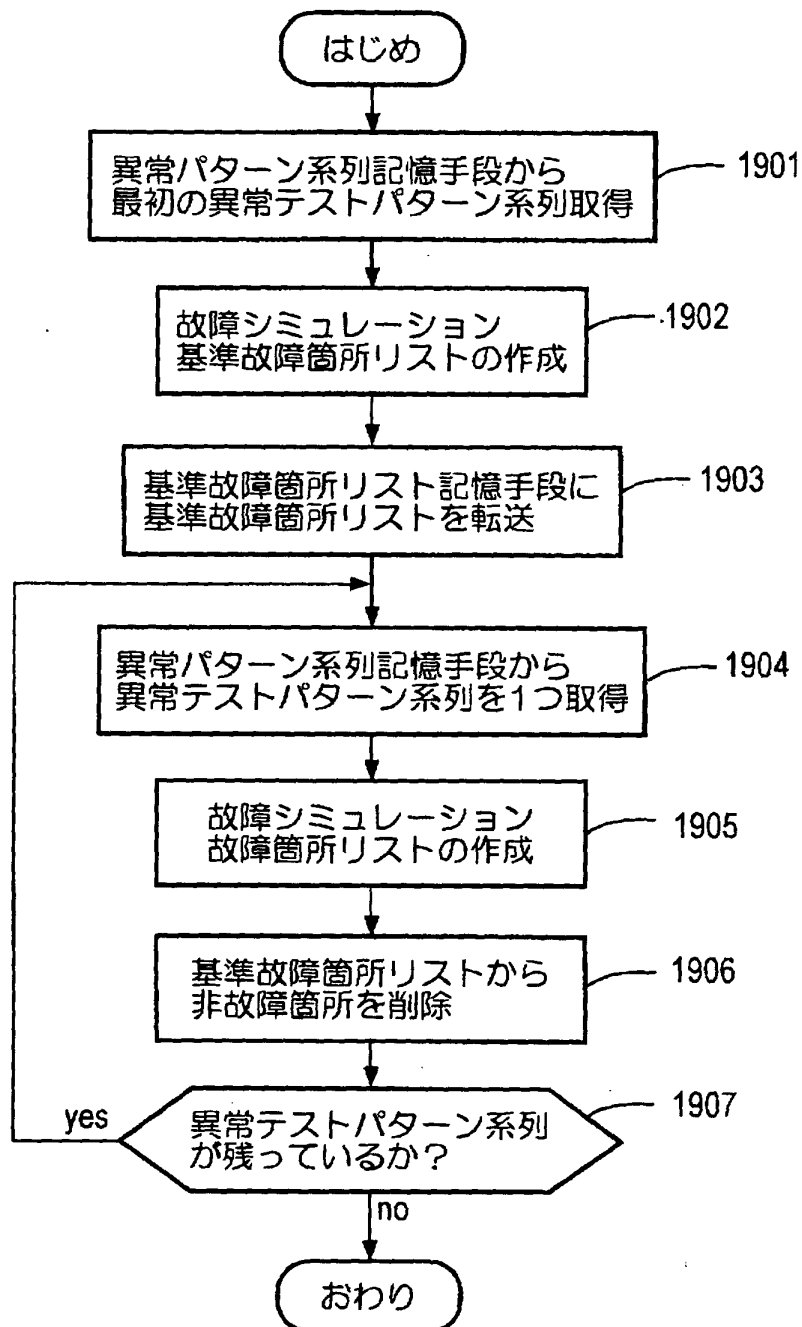


図36

【図 37】

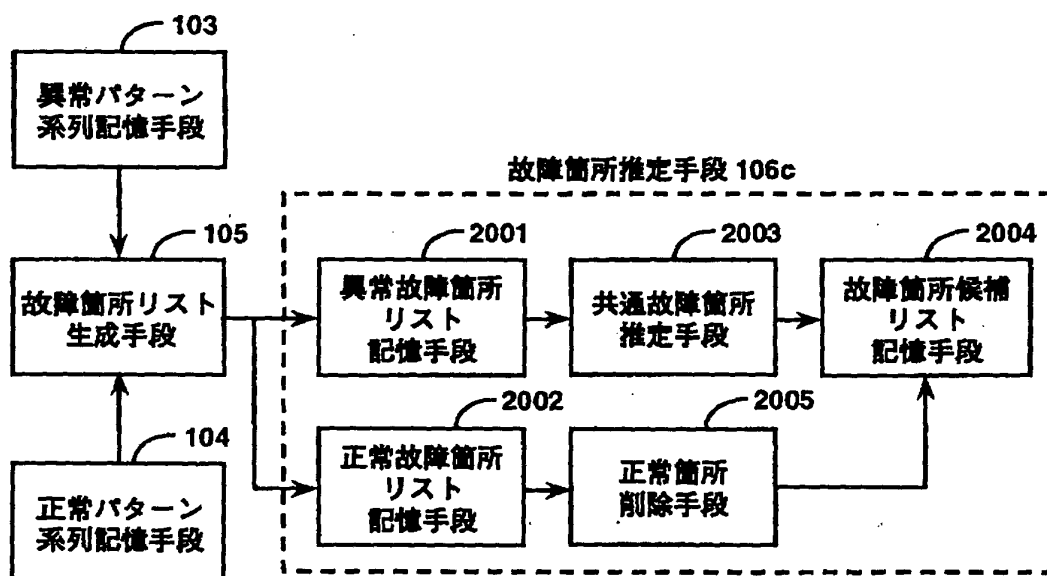


図 37

【図38】

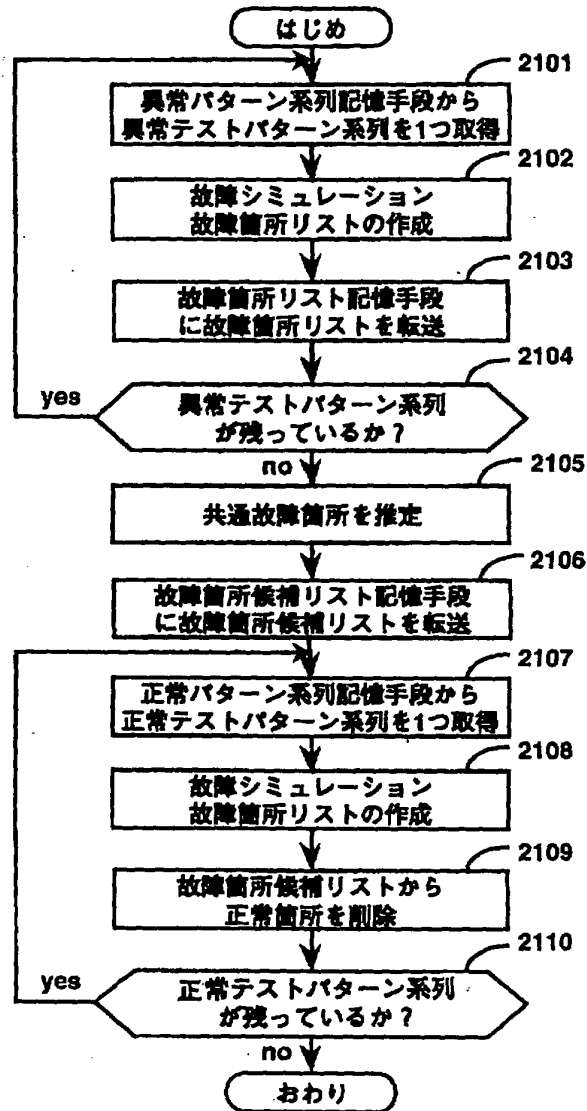


図38

【図39】

テストパターン 系列識別番号	入力端子			内部ノード			出力端子		故障検出可能パス
	I1	I2	I3	N1	N2	N3	O1	O2	
T1	0	0	R	1	1	0	1	F	<I3, O2>
T2	0	1	R	1	F	R	F	F	<I3, N2, N3, O1>, <I3, N2, N3, O2>
T3	1	0	R	0	1	1	0	0	-
T4	0	1	R	0	F	1	0	0	-
T5	0	R	0	1	1	0	1	1	-
T6	0	R	1	1	F	R	F	0	<I2, N2, N3, O1>
T7	1	R	0	0	1	1	0	0	-
T8	1	R	1	0	F	1	0	0	-
T9	R	0	0	F	1	R	F	F	<I1, N1, N3, O1>, <I1, N1, N3, O2>
T10	R	0	1	F	1	R	F	0	<I1, N1, N3, O1>
T11	R	1	0	F	1	R	F	F	<I1, N1, N3, O1>, <I1, N1, N3, O2>
T12	R	1	1	F	0	1	0	0	-
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

図39

【図40】

テストパターン 系列識別番号	入力端子 1 2 3	内部信号線 1 2 3 4 5 6 7 8 9 10 11 12												出力端子 1 2	故障検出可能パス
T1	0 0 R	0 0 R	R	R	R	1	1	1	1	1	1	1	F	1 F	<I3, L3, L5, L12, O2>
T2	0 1 R	0 1 R	R	R	R	1	F	F	F	F	F	F	F	F F	<I3, L3, L5, L12, O2> <I3, L3, L4, L7, L8, L9, L11, O1> <I3, L3, L4, L7, L8, L10, L12, O1>
T3	1 0 R	1 0 R	R	R	R	0	1	0	0	0	0	0	0	0 0	-
T4	1 1 R	1 1 R	R	R	R	0	F	0	0	0	0	0	0	0 0	-
T5	0 R 0	0 R 0	0	0	0	1	1	1	1	1	1	1	1	1 1	-
T6	0 R 1	0 R 1	0	R	1	1	1	F	F	F	F	F	0	F 0	<I2, L2, L7, L8, L9, L11, O1>
T7	1 R 0	1 R 0	1	R	0	0	0	1	0	0	0	0	0	0 0	-
T8	1 R 1	1 R 1	1	R	1	1	1	0	F	0	0	0	0	0 0	-
T9	R 0 0	R 0 0	0	0	0	0	F	1	F	F	F	F	F	F F	<I1, L1, L6, L8, L9, L11, O1> <I1, L1, L6, L8, L10, L12, O2>
T10	R 0 1	R 0 1	0	1	1	1	F	1	F	F	F	F	0	F 0	<I1, L1, L6, L8, L9, L11, O1>
T11	R 1 0	R 1 0	0	0	0	0	F	1	F	F	F	F	F	F F	<I1, L1, L6, L8, L9, L11, O1> <I1, L1, L6, L8, L10, L12, O2>
T12	R 1 1	R 1 1	1	1	1	1	F	0	0	0	0	0	0	0 0	-
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:

図40

【書類名】 要約書

【要約】

【課題】 IC素子を加工することなく遅延故障や断線故障などの内部の故障箇所を効率的に推定する。

【解決手段】 2つ以上のテストパターンの系列をICに入力し、その時のICの過渡電源電流を測定し、過渡電源電流が異常を示すか否かを決定し異常を示したテストパターン系列について、これをICに入力した場合の論理シミュレーションを行ってIC内の信号線に生じる論理値列を計算し、その論理値列をもちいて、上記テストパターン系列により過渡電流異常で検出可能な箇所を故障箇所リストとして生成し、異常があった複数のテストパターン系列に対する故障箇所リストの共通な箇所を故障箇所と推定する。

【選択図】 図 3 1

職権訂正履歴（職権訂正）

特許出願の番号	特願 2000-101867
受付番号	50000422043
書類名	特許願
担当官	大畑 智昭 7392
作成日	平成 12 年 4 月 6 日

<訂正内容 1>

訂正ドキュメント

明細書

訂正原因

職権による訂正

訂正メモ

【図面の簡単な説明】中【図 6】の項を下記のとおり改行しました。

訂正前内容

。 【図 6】

訂正後内容

。
【図 6】

出 願 人 履 歴 情 報

識別番号 [390005175]

1. 変更年月日 1990年10月15日

[変更理由] 新規登録

住 所 東京都練馬区旭町1丁目32番1号

氏 名 株式会社アドバンテスト



Creation date: 08-19-2003
Indexing Officer: TLO - TRUC P LO
Team: OIPEBackFileIndexing
Dossier: 09980891

Legal Date: 02-12-2003

No.	Doccode	Number of pages
1	CTRS	5

Total number of pages: 5

Remarks:

Order of re-scan issued on